

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208609

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

H01L 21/76

(21)Application number : 2000-002884

(71)Applicant : SAMSUNG ELECTRONICS CO LTD

(22)Date of filing : 11.01.2000

(72)Inventor : KIN SEI
RI KINSHU
KO INSHIAKU
KO YANSAN
AHN DONG HUL
PARK MOON-HAN
BOKU TAISHO

(30)Priority

Priority number : 99 9900391

Priority date : 11.01.1999

Priority country : KR

99 9919023

26.05.1999

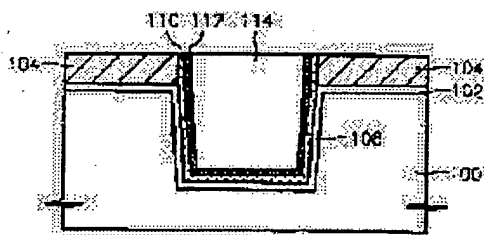
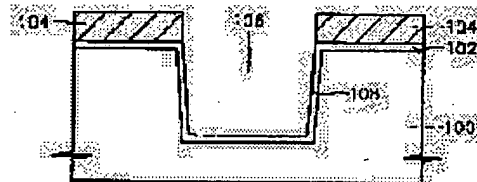
KR

(54) TRENCH ELEMENT SOLATION METHOD FOR SEMICONDUCTOR ELEMENT AND SEMICONDUCTOR ELEMENT USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress occurrence of dents in a trench element isolation process by forming a trench etching mask pattern on a semiconductor substrate, forming over the entire surface of the semiconductor substrate, a dent-preventing film on the sidewall of the trench etching mask pattern, and depositing a liner layer on the dent-preventing film.

SOLUTION: A part of a semiconductor substrate 100 is etched with a mask pattern 104 as a mask to form a trench 106, the inside wall of which is thermally oxidized to form an in-trench oxide film 108. A dent-preventing film 110 of a CVD oxide film with a film quality which has an etching selection ratio to a nitride film is deposited on the resulting object where the in-trench oxide film 108 is formed. After a liner layer 112 is formed using a nitride film, a high-temperature oxide film formed at such high temperature as 700-9000° C is deposited, which is further treated with ammonia plasma processing.



LEGAL STATUS

[Date of request for examination]

15.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The trench isolation method of a semiconductor device characterized by providing the following. The 1st process which forms the mask pattern for trench etching on a semiconductor substrate. The 2nd process which forms a trench in a semiconductor substrate using the aforementioned mask pattern for trench etching. The 3rd process which forms a hollow prevention film all over the aforementioned semiconductor substrate so that a thin film may be formed in the side attachment wall of the aforementioned mask pattern for trench etching at least. The 6th process which removes a part of insulator layer for isolation which carried out [aforementioned] exposure of the front face of a semiconductor substrate so that the 5th process which carries out the deposit of the insulator layer for wrap isolation, and the aforementioned mask pattern for trench etching might be exposed at the same time it embeds the 4th process which carries out the deposit of the liner layer on the aforementioned hollow prevention film, and the aforementioned trench, and the 7th process which removes the aforementioned mask pattern for trench etching.

[Claim 2] The semiconductor substrate of the 1st process of the above is the trench isolation method of the semiconductor device according to claim 1 characterized by being the semiconductor substrate in which the pad oxide film was formed.

[Claim 3] The trench isolation method of the semiconductor device according to claim 1 characterized by providing further the process which forms an antireflection film on the mask pattern of the 1st process of the above.

[Claim 4] The aforementioned antireflection film is the trench isolation method of the semiconductor device according to claim 3 characterized by forming in 150-1500Å thickness using either among SiON, oxide films, and these bipolar membranes.

[Claim 5] The hollow prevention film of the 3rd process of the above is the trench isolation method of the semiconductor device according to claim 1 characterized by being membraneous quality with the aforementioned liner layer and an etching selection ratio.

[Claim 6] The membraneous quality with the aforementioned liner layer and an etching selection ratio is the trench isolation method of the semiconductor device according to claim 5 characterized by being the oxide film in which the deposit was carried out by the chemistry gaseous-phase vacuum deposition.

[Claim 7] The membraneous quality with the aforementioned liner layer and an etching selection ratio is the trench isolation method of the semiconductor device according to claim 5 characterized by being the oxide film which the deposit of the silicon film was carried out [oxide film] and oxidized it.

[Claim 8] The hollow prevention film of the 3rd process of the above is the trench isolation method of the semiconductor device according to claim 1 characterized by being the compound liner layer in which the nitride and the oxide film were formed alternately once [at least] or more.

[Claim 9] The liner layer of the 4th process of the above is the trench isolation method of the semiconductor device according to claim 1 characterized by forming in 20-300Å thickness using a nitride.

[Claim 10] The trench isolation method of the semiconductor device according to claim 1 characterized by giving further the process which forms the high-temperature-oxidation film for suppressing the injury from the outside while maintaining the thickness of a liner layer, after forming the liner layer of the 4th process of the above.

[Claim 11] The trench isolation method of the semiconductor device according to claim 10 characterized by giving further the plasma treatment process over the aforementioned high-temperature-oxidation film after the process which forms the aforementioned high-temperature-oxidation film.

[Claim 12] The trench isolation method of the semiconductor device according to claim 1 characterized by giving further the heat treatment process for strengthening the membranous property of the aforementioned insulator layer for isolation after carrying out the deposit of the insulator layer for isolation of the 5th process of the above.

[Claim 13] It is the trench isolation method of the semiconductor device according to claim 1 characterized by performing removal of the aforementioned mask pattern by the wet etching method for having used H_3PO_4 .

[Claim 14] The trench isolation method of the semiconductor device according to claim 6 characterized by providing further the process which forms a thermal oxidation film in the interior of a trench after forming the trench of the 2nd process of the above.

[Claim 15] The oxide film in which the deposit was carried out by the aforementioned chemistry gaseous-phase vacuum deposition is the trench isolation method of the semiconductor device according to claim 6 characterized by being in within the limits this thickness of whose is 10-300Å.

[Claim 16] The aforementioned silicon film is the trench isolation method of the semiconductor device according to claim 7 characterized by being in within the limits this thickness of whose is 10-200Å.

[Claim 17] The aforementioned oxidization is the trench isolation method of the semiconductor device according to claim 7 characterized by using thermal oxidation.

[Claim 18] The trench isolation method of the semiconductor device according to claim 8 characterized by providing further the process which forms the internal oxidation film by thermal oxidation in the interior of a trench after forming the trench of the 2nd process of the above.

[Claim 19] The nitride formed in the 1st in the aforementioned compound liner layer is the trench isolation method of the semiconductor device according to claim 8 characterized by being in within the limits this thickness of whose is 10-50Å.

[Claim 20] The trench isolation method of a semiconductor device characterized by providing the following. The 1st process which forms the mask pattern for trench etching on a semiconductor substrate. The 2nd process which forms a trench in the aforementioned semiconductor substrate using the aforementioned mask pattern for trench etching. The 3rd process which forms a thermal oxidation film in the interior of the aforementioned trench. So that a thin film may be formed in the side attachment wall of the aforementioned mask pattern for trench etching at least The 4th process which carries out the deposit of the oxide film for hollow prevention by the chemistry gaseous-phase vacuum deposition all over the aforementioned semiconductor substrate, The 5th process which carries out the deposit of the nitride for liners on the aforementioned oxide film for hollow prevention, The front face of the aforementioned semiconductor substrate so that the 6th process which carries out the deposit of the insulator layer for wrap isolation, and the aforementioned mask pattern for trench etching may be exposed at the same time it embeds the aforementioned trench The 7th process which removes a part of insulator layer for isolation which carried out [aforementioned] exposure, and the octavus process which removes the aforementioned mask pattern for trench etching.

[Claim 21] The oxide film for hollow prevention of the 4th process of the above is the trench isolation method of the semiconductor device according to claim 20 characterized by being in within the limits this thickness of whose is 10-300Å.

[Claim 22] The nitride for liners of the 5th process of the above is the trench isolation method of the semiconductor device according to claim 20 characterized by being in within the limits this thickness of whose is 20-300Å.

[Claim 23] The trench isolation method of a semiconductor device characterized by providing the following. The 1st process which forms the mask pattern for trench etching on a semiconductor substrate. The 2nd process which forms a trench in a semiconductor substrate using the aforementioned mask pattern for trench etching. The 3rd process which carries out the deposit of the silicon film all over the semiconductor substrate in which the aforementioned trench was formed. The 4th process which is made to oxidize the aforementioned silicon film thermally, becomes depressed the front face of the aforementioned mask pattern for trench etching, and inside a trench, and forms the oxide film for prevention, The 5th process which forms the nitride for liners on the aforementioned oxide film for hollow prevention, The whole surface of a semiconductor substrate so that the 6th process which carries out the deposit of the insulator layer for wrap isolation, and the aforementioned mask pattern for trench etching may be exposed at the same time it embeds the aforementioned trench The 7th process which removes a part of insulator layer for isolation which carried out [aforementioned] exposure, and the octavus process which removes the aforementioned mask pattern for trench etching.

[Claim 24] The silicon film of the 3rd process of the above is the trench isolation method of the semiconductor device according to claim 23 characterized by being in within the limits this thickness of whose is 10-200A.

[Claim 25] It is the trench isolation method of the semiconductor device according to claim 23 characterized by performing thermal oxidation of the 4th process of the above so that it may change to an oxide film completely, without the silicon by which the deposit was carried out remaining.

[Claim 26] The nitride for liners of the 5th process of the above is the trench isolation method of the semiconductor device according to claim 23 characterized by being in within the limits this thickness of whose is 20-300A.

[Claim 27] The trench isolation method of a semiconductor device characterized by providing the following. The 1st process which forms the mask pattern for trench etching on a semiconductor substrate. The 2nd process which forms a trench in the aforementioned semiconductor substrate using the aforementioned mask pattern for trench etching. The 3rd process which uses thermal oxidation for the aforementioned result lifter, and forms a trench internal oxidation film in it. The 4th process which forms the compound liner layer of the structure where became depressed with the nitride for liners along with the surface level difference, and the oxide film for prevention was alternately formed once [at least] or more on the semiconductor substrate in which the aforementioned trench internal oxidation film was formed, The 5th process which forms the last nitride for liners along with a surface level difference all over the semiconductor substrate in which the aforementioned compound liner layer was formed, So that the 6th process which forms the insulator layer for wrap isolation, and the aforementioned mask pattern for trench etching may expose the whole surface of a semiconductor substrate at the same time it embeds the aforementioned trench on the aforementioned last nitride for liners The 7th process which removes a part of aforementioned insulator layer for isolation, and the octavus process which removes the aforementioned mask pattern for trench etching.

[Claim 28] The nitride formed in the 1st in the compound liner layer of the 4th process of the above is the trench isolation method of the semiconductor device according to claim 27 characterized by being in within the limits this thickness of whose is 10-50A.

[Claim 29] The trench isolation method of the semiconductor device according to claim 27 characterized by giving further the process which forms the high-temperature-oxidation film for suppressing the injury from the outside after the 5th process of the above while maintaining the thickness of the nitride of a compound liner layer.

[Claim 30] The trench isolation method of a semiconductor device characterized by providing the following. The 1st process which forms the mask pattern for trench etching on a semiconductor substrate. The 2nd process which forms a trench in the aforementioned semiconductor substrate using the aforementioned mask pattern for trench etching. The 3rd process which uses thermal oxidation for the aforementioned result lifter, and forms a trench internal oxidation film in it. The 4th process which forms the compound liner layer of the structure where became depressed along with the surface level difference, and the prevention film and the nitride for

liners were alternately formed once [at least] or more on the semiconductor substrate in which the aforementioned trench internal oxidation film was formed, The 6th process which removes a part of aforementioned insulator layer for isolation so that the 5th process which forms the insulator layer for wrap isolation, and the aforementioned mask pattern may expose the whole surface of a semiconductor substrate while embedding the aforementioned trench on the aforementioned compound liner layer, and the 7th process which removes the aforementioned mask pattern.

[Claim 31] The nitride formed in the 1st in the compound liner layer of the 4th process of the above is the trench isolation method of the semiconductor device according to claim 30 characterized by being in within the limits this thickness of whose is 10-50A.

[Claim 32] The trench isolation method of the semiconductor device according to claim 30 characterized by giving further the process which forms the high-temperature-oxidation film for suppressing the injury from the outside after the 4th process of the above while maintaining the thickness of the nitride of a compound liner layer.

[Claim 33] The semiconductor device characterized by providing the semiconductor substrate in which the trench was formed on the front face, the compound liner layer for hollow prevention containing the oxide film and nitride of every at least one or more sheets by which the deposit was carried out along with the surface level difference of this semiconductor substrate, and the insulator layer for trench isolation that embeds the interior of a trench for this compound liner layer simultaneously with a wrap.

[Claim 34] The semiconductor device according to claim 33 characterized by providing further the oxide film for injury prevention of the aforementioned nitride for compound liners, and preservation of thickness between the aforementioned compound liner layer and the aforementioned insulator layer for isolation.

[Claim 35] The aforementioned oxide film is a semiconductor device according to claim 34 characterized by being a high-temperature-oxidation film.

[Claim 36] The semiconductor device according to claim 33 characterized by providing further the trench internal oxidation film formed in the wall of the aforementioned trench.

[Claim 37] The aforementioned compound liner layer is a semiconductor device according to claim 33 characterized by the 1st nitride, the 1st oxide film, and the 2nd nitride being bipolar membranes by which the laminating was carried out one by one.

[Claim 38] The 1st nitride of the above is a semiconductor device according to claim 37 characterized by being in within the limits this thickness of whose is 10-50A.

[Claim 39] The aforementioned compound liner layer is a semiconductor device according to claim 37 characterized by providing further the another oxide film and another nitride of at least one or more sheets on the 2nd nitride of the above.

[Claim 40] The aforementioned compound liner layer is a semiconductor device according to claim 33 characterized by the 1st oxide film and the 1st nitride being bipolar membranes by which the laminating was carried out one by one.

[Claim 41] The aforementioned compound liner layer is a semiconductor device according to claim 40 characterized by being the bipolar membrane by which the another oxide film and another nitride of at least one or more sheets are further formed on the 1st nitride of the above.

[Claim 42] The 1st nitride for liners of the above is a semiconductor device according to claim 40 characterized by being in within the limits this thickness of whose is 10-50A.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of a semiconductor device, and, specifically, relates to the trench isolation method of a semiconductor device. Furthermore, this invention relates to the semiconductor device which used the aforementioned trench isolation method.

[0002]

[Description of the Prior Art] The isolation process (isolation process) which is one of the detailed-ized technology in accordance with high integration of a semiconductor device is an initial processing process of a semiconductor device, and influences the size and process margin of an active region in a consecutiveness process. The usual element It is here and is a trench element. Consequently, this technology is mainly used for the isolation process of the semiconductor device integrated highly recently.

[0003] This trench element However, this trench element Although the membraneous degree of dense-izing, a membraneous oxidization process which follows which embeds being based on **** materials, being based on ion implantation, and a trench as main factors of generating of a pit are mentioned variously, the oxidization process after trench isolation is the greatest factor especially. the volume expansion of silicon whose oxidization process after a trench isolation process will be oxidized, and will start the silicon of the semiconductor substrate which existed in the wall of a trench during this oxidization if it states concretely — the side attachment wall of a trench — it acts as a physical or thermal stress, consequently a pit occurs

[0004] In recent years, the technology by the volume expansion which starts during oxidization which carries out the deposit of physical or the liner layer which forms a thermal oxidation film in the wall of a trench after trench etching, and consists of a nitride (SiN) on it in order to stop thermal stress is developed. In a trench isolation process, drawing 1 is a graph for explaining change of the electrical property of the semiconductor device at the time of suppressing generating of a pit using a liner layer, when a pit occurs. When this is referred to, as for a vertical axis, a horizontal axis expresses the drain OFF state current property according the degree of distribution of a sample to this, respectively. Here, measurement of the drain OFF state current is performed by impressing the voltage of 3.3V only to a drain, after changing the gate and the source, and a silicon substrate into a ground state. The line connected by O is the drain OFF state current at the time of forming the liner layer which consists of a nitride among drawing, and the line connected by ** is the drain OFF state current at the time of performing a trench isolation process, without forming a liner layer. Although it turns out that the drain OFF state current has the more low case where the liner layer which consists of a nitride is made to form so that clearly from drawing, this is because thermal stress was effectively stopped after the isolation process by the nitride liner. Thus, the technology of forming the liner layer which consists of a nitride and performing trench isolation is indicated by the U.S. Pat. No. 5447884 official report by IBM (5 Shallow Trench Isolation with thin nitride liner, Sep. 1995).

[0005] Drawing 2 or drawing 4 is a cross section for explaining the trench isolation process using the liner layer by the aforementioned Prior art. On the semiconductor substrate 51, if drawing 2

is referred to, after forming the mask pattern 55 which consists of a pad oxide film 53 and a nitride (SiN), the aforementioned mask pattern 55 will be used, it will ***** in a part of semiconductor substrate 51, and a trench will be formed. Subsequently, a thermal oxidation process is given and physical or the liner layer 57 which consists of a nitride in order to stop thermal stress generated when the trench internal oxidation film 56 is formed and oxidation starts it in the oxidation process which follows is formed. After that, the deposit of the oxide film 59 by CVD is thickly carried out to the grade which can be wearing the front face of a semiconductor substrate enough. Then, CMP is given using the aforementioned mask pattern 55 as a polish blocking layer, and flattening of the whole surface of a semiconductor substrate is carried out. If drawing 3 is referred to, isotropic wet etching which used the phosphoric acid (H₃PO₄) will be given all over the semiconductor substrate which finished the aforementioned flattening, and the nitride (SiN) used as a mask pattern will be removed completely. If slight over etching is performed that it should prevent that the nitride used as a mask pattern remains all over a semiconductor substrate at this time, the liner layer 57 which consists of a nitride will also *****, and a part will be removed. This problem is still generated, when anisotropic etching is performed. A trench isolation process is completed by giving an etchback process to an object, as a result of giving the aforementioned wet etching, when drawing 4 was referred to, removing the pad oxide film which existed on the semiconductor substrate 41, and oxide-film 59' by CVD, and carrying out flattening of the semiconductor substrate.

[0006]

[Problem(s) to be Solved by the Invention] However, the hollow portion (equivalent to A of drawing 4) of liner layer 57' which *****ed simultaneously during removal of the mask pattern 55 which consists of the aforementioned nitride still remains, after giving a trench isolation process. Thus, while the phenomenon in which the interface of an active region and an isolation film becomes depressed reduces the refreshment property of memory devices, such as a dynamic RAM (DRAM:Dynamic Random Access Memory), when *****ing the gate electrode which consists of contest polysilicon at a consecutiveness process, contest polysilicon which is conductive material remains in a hollow, consequently the defect of a gate bridge etc. produces it. And the electric characteristic curve of the completed transistor brings a result which makes the so-called hump (hump) phenomenon in which it does not appear in alignment, and the in berth narrow WIDOSU effect (Inverse Narrow Width Effect) phenomenon of becoming the cause of a threshold voltage fall aggravate.

[0007] this invention is made in view of the above-mentioned situation, and the purpose is in physical or offering the trench isolation method of the semiconductor device which can suppress hollow generating in a trench isolation process by becoming depressed so that a hollow may not occur, and forming a prevention film further, using the liner layer for stopping thermal stress. Other purposes of this invention are to offer the semiconductor device which used the aforementioned trench isolation method.

[0008]

[Means for Solving the Problem] The trench isolation method of the semiconductor device concerning this invention forms the mask pattern for trench etching on a semiconductor substrate, and forms a trench in a semiconductor substrate in this mask pattern for trench etching. Then, a hollow prevention film is formed all over the aforementioned semiconductor substrate, and the deposit of the liner layer is carried out on this hollow prevention film so that a thin film may be formed in the side attachment wall of the aforementioned mask pattern for trench etching at least. Continuously, a part of insulator layer for isolation which carried out [aforementioned] exposure of the front face of a semiconductor substrate so that the deposit of the insulator layer for wrap isolation might be carried out and the aforementioned mask pattern for trench etching might be exposed is removed at the same time it embeds the aforementioned trench. Finally, the aforementioned mask pattern for trench etching is removed.

[0009] As for the aforementioned semiconductor substrate, according to the suitable gestalt, in this method, it is desirable that it is the semiconductor substrate in which the pad oxide film was formed. Moreover, you may form further the antireflection film which uses either among SiON, oxide films, and these bipolar membranes, and is formed in 150-1500Å thickness on the

aforementioned mask pattern. The aforementioned hollow prevention film is membraneous quality with the aforementioned liner layer and an etching selection ratio, and it is desirable that the oxide film in which the deposit was carried out by the chemistry gaseous-phase vacuum deposition, the oxide film which the deposit of the silicon film was carried out [oxide film] and made it oxidize thermally or a nitride, and an oxide film constitute using the compound liner layer formed alternately once [at least] or more. Furthermore, as for the aforementioned liner layer, according to the suitable gestalt, it is desirable to form in 20-300A thickness using a nitride. Moreover, after forming the aforementioned liner layer, while maintaining the thickness of a liner layer, it is desirable to give further the process which forms the high-temperature-oxidation film (HTO) for suppressing the injury from the outside. Here, in order to make membraneous quality improve alternatively according to the membraneous property of an isolation film, you may give a plasma treatment process further. What is necessary is preferably, just to carry out further the heat treatment process for strengthening the membraneous property of the aforementioned insulator layer for isolation, after carrying out the deposit of the insulator layer for isolation. Moreover, what is necessary is for wet etching which used the phosphoric acid (H_3PO_4) just to perform removal of the aforementioned mask pattern. When using the oxide film by CVD as the aforementioned hollow prevention film, after forming the aforementioned trench, a thermal oxidation film can be further formed in the interior of a trench. Here, as for the thickness of the oxide film by Above CVD, it is desirable that it is within the limits of 10-300A. When using the oxide film which made the silicon film oxidize thermally as the aforementioned hollow prevention film, it is desirable that it is in within the limits whose thickness of a silicon film is 10-200A. When a nitride and an oxide film use the compound liner layer formed alternately once [at least] or more as the aforementioned hollow prevention film, after forming the aforementioned trench, the internal oxidation film by thermal oxidation can be further formed in the interior of a trench. Moreover, as for the nitride formed in the 1st, in the aforementioned compound liner layer, it is desirable that it is in within the limits this thickness of whose is 10-50A.

[0010] The trench isolation method of the semiconductor device by the 1st example of this invention The 1st process which forms the mask pattern for trench etching on a semiconductor substrate, The 2nd process which forms a trench in the aforementioned semiconductor substrate using the aforementioned mask pattern for trench etching, So that a thin film may be formed in the side attachment wall of the aforementioned mask pattern for trench etching at least with the 3rd process which forms a thermal oxidation film in the interior of the aforementioned trench The 4th process which carries out the deposit of the oxide film for hollow prevention by chemistry gaseous-phase vacuum evaporation all over the aforementioned semiconductor substrate, The 5th process which carries out the deposit of the nitride for liners on the aforementioned oxide film for hollow prevention, The front face of the aforementioned semiconductor substrate so that the 6th process which carries out the deposit of the insulator layer for wrap isolation, and the aforementioned mask pattern for trench etching may be exposed at the same time it embeds the aforementioned trench completely It is characterized by providing the 7th process which removes a part of insulator layer for isolation which carried out [aforementioned] exposure, and the octavus process which removes the aforementioned mask pattern for trench etching. As for the oxide film for hollow prevention of the 4th process of the above, according to the suitable gestalt, in this 1st example, it is desirable that it is in within the limits this thickness of whose is 10-300A. Moreover, as for the nitride for liners of the 5th process of the above, it is desirable that it is in within the limits this thickness of whose is 20-300A.

[0011] The trench separation method of the semiconductor device by the 2nd example of this invention The 1st process which forms the mask pattern for trench etching on a semiconductor substrate, The 2nd process which forms a trench in a semiconductor substrate using the aforementioned mask pattern for trench etching, The 3rd process which carries out the deposit of the silicon film all over the semiconductor substrate in which the aforementioned trench was formed, The 4th process which is made to oxidize the aforementioned silicon film thermally, becomes depressed the front face of the aforementioned mask pattern for trench etching, and inside a trench, and forms the oxide film for prevention, The 5th process which forms the nitride

for liners on the aforementioned oxide film for hollow prevention, The whole surface of a semiconductor substrate so that the 6th process which carries out the deposit of the insulator layer for wrap isolation, and the aforementioned mask pattern for trench etching may be exposed at the same time it embeds the aforementioned trench It is characterized by providing the 7th process which removes a part of insulator layer for isolation which carried out [aforementioned] exposure, and the octavus process which removes the aforementioned mask pattern for trench etching. As for the silicon film of the 3rd process of the above, according to the suitable gestalt, in this 2nd example, it is desirable that it is in within the limits this thickness of whose is 10–200Å. Moreover, as for thermal oxidation of the 4th process of the above, it is desirable to carry out so that it may change to an oxide film completely, without the silicon by which the deposit was carried out remaining. Preferably, the nitride for liners of the 5th process of the above should just have this thickness in within the limits which is 20–300Å.

[0012] The trench separation method of the semiconductor device by the 3rd example of this invention The 1st process which forms the mask pattern for trench etching on a semiconductor substrate, The 2nd process which forms a trench in the aforementioned semiconductor substrate using the aforementioned mask pattern for trench etching, The 3rd process which uses thermal oxidation for the aforementioned result lifter, and forms a trench internal oxidation film, The 4th process which forms the compound liner layer of the structure where became depressed with the nitride for liners along with the surface level difference, and the oxide film for prevention was alternately formed once [at least] or more on the semiconductor substrate in which the aforementioned trench internal oxidation film was formed, The 5th process which forms the last nitride for liners along with a surface level difference all over the semiconductor substrate in which the aforementioned compound liner layer was formed, So that the 6th process which forms the insulator layer for wrap isolation, and the aforementioned mask pattern for trench etching may expose the whole surface of a semiconductor substrate at the same time it embeds the aforementioned trench on the aforementioned last nitride for liners It is characterized by providing the 7th process which removes a part of aforementioned insulator layer for isolation, and the octavus process which removes the aforementioned mask pattern for trench etching. As for the nitride formed in the 1st, in the compound liner layer of the 4th process of the above of this 3rd example, it is desirable that it is in within the limits this thickness of whose is 10–50Å. Moreover, it is desirable to give further the process which forms the high-temperature-oxidation film for suppressing the injury from the outside after the 5th process of the above while maintaining the thickness of the nitride of a compound liner layer.

[0013] The trench separation method of the semiconductor device by the 4th example of this invention The 1st process which forms the mask pattern for trench etching on a semiconductor substrate, The 2nd process which forms a trench in the aforementioned semiconductor substrate using the aforementioned mask pattern for trench etching, The 3rd process which uses thermal oxidation for the aforementioned result lifter, and forms a trench internal oxidation film in it, The 4th process which forms the compound liner layer of the structure where became depressed along with the surface level difference, and the oxide film for prevention and the nitride for liners were alternately formed once [at least] or more on the aforementioned semiconductor substrate in which the aforementioned trench internal oxidation film was formed, So that the 5th process which forms the insulator layer for wrap isolation, and the aforementioned mask pattern may expose the whole surface of a semiconductor substrate at the same time it embeds the aforementioned trench on the aforementioned compound liner layer It is characterized by providing the 6th process which removes a part of aforementioned insulator layer for isolation, and the 7th process which removes the aforementioned mask pattern. As for the nitride formed in the 1st, in the compound liner layer of the 4th process of the above of this 4th example, it is desirable that it is in within the limits this thickness of whose is 10–50Å. Moreover, it is desirable to give further the process which forms the high-temperature-oxidation film for suppressing the injury from the outside after the 4th process of the above while maintaining the thickness of the nitride of a compound liner layer.

[0014] The semiconductor device by this invention is characterized by providing the semiconductor substrate in which the trench was formed on the front face, the compound liner

layer for hollow prevention containing the oxide film and nitride of every at least one or more sheets by which the deposit was carried out along with the surface level difference of this semiconductor substrate, and the insulator layer for trench isolation that embeds the interior of a trench for this compound liner layer with a wrap. According to the suitable gestalt, in this semiconductor device, it is desirable to provide further the oxide film for injury prevention of the aforementioned nitride for compound liners and preservation of thickness between the aforementioned compound liner layer and the aforementioned insulator layer for isolation. A high-temperature-oxidation film can be used as this oxide film. Moreover, it is desirable to provide further the trench internal oxidation film formed along with the wall of the aforementioned trench. As for this internal oxidation film, it is desirable that it is a thermal oxidation film. Preferably, the aforementioned compound liner layer should just be the bipolar membrane to which the laminating of the 1st nitride, the 1st oxide film, and the 2nd nitride was carried out one by one. Moreover, as for the 1st nitride of the above, it is desirable that it is within the limits this thickness of whose is 10-50Å. Moreover, this compound liner layer may possess further the another oxide film and another nitride of at least one or more sheets on the 2nd nitride of the above. Moreover, according to the suitable gestalt, the aforementioned compound liner layer can be constituted using the bipolar membrane of the structure where the laminating of the 1st oxide film and the 1st nitride was carried out one by one. In this case, the another oxide film and another nitride of at least one or more sheets can be further formed on the 1st nitride of the above. Preferably, the 1st nitride for liners of the above should just be within the limits this thickness of whose is 10-50Å.

[0015] According to this invention, in the trench isolation process of a semiconductor device, it becomes depressed by forming further the hollow prevention film which suppresses etching of the liner layer which consists of a nitride, and generating can be prevented. Consequently, it becomes possible to suppress the defect of the fall of a refreshment property, a gate bridge, etc. in memory devices, such as DRAM. In addition, the electrical property of a transistor is improvable.

[0016]

[Embodiments of the Invention] Hereafter, based on the appended drawing, the form of suitable operation of this invention is explained in detail.

The example of an experiment: Etching ratio drawing 5 of the nitride for liners after [which consists of an oxide film] becoming depressed and forming a prevention film is the transmission-electron-microscope (Transmission Electron Microscope, following, transverse electromagnetic) photograph shown in order to explain the example of an experiment of this invention. If drawing 5 is referred to, the mask pattern 2 which consists of a nitride will be formed on the semiconductor substrate 1 in which the pad oxide film was formed, and a trench will be formed by *****ing a semiconductor substrate using this. Then, it oxidizes thermally and the trench internal oxidation film 3 is formed in 110Å thickness. Subsequently, the 1st nitride for liners (black layer between 3 and 4) is formed in 55Å thickness. The 1st oxide film 4 of 500Å of thickness which consists of a CVD oxide film, for example, a high-temperature-oxidation film, continuously, the 2nd nitride for liners of 55Å of thickness (black layer between 4 and 5), The laminating of the 2nd oxide film 5 of 500Å of thickness which consists of HTO, the 3rd nitride for liners of 100Å of thickness (black layer between 5 and 6), the 3rd oxide film 6 of 500Å of thickness which consists of HTO, and the 4th nitride for liners of 200Å of thickness (black layer between 6 and 7) is carried out one by one. Subsequently, after carrying out the deposit of USG (Undoped SilicateGlass)7 in 1000Å thickness, the deposit of the 5th nitride for liners (black layer between 7 and 8) is again carried out in 55Å thickness. Then, the laminating of the isolation film 8 which carried out the deposit of the USG film and PE-TEOS film which are used as an insulator layer for isolation embedding a trench is carried out. Continuously, chemical machinery-polish (CMP) is given using a mask pattern 2 as a polish blocking layer, and flattening of the whole surface of a semiconductor substrate is carried out. Next, wet etching using the phosphoric-acid solution is given, and a part of nitride exposed to the front face of a semiconductor substrate is removed. Drawing 5 is the transverse-electromagnetic photograph after finishing the above-mentioned process.

[0017] At this time, the thickness of the mask pattern 2 which consists of a nitride is 2000A after CMP. And the mask pattern 2 gave wet etching using the phosphoric-acid solution so that it might ***** to about 1700A. Then, while being formed among the oxide films 4, 5, 6, and 7 of fixed thickness, the degree to which etching progressed to the 2nd, the 3rd, and 4th nitrides whose thickness is each was observed. In the case of the 2nd nitride for liners (black film between 4 and 5) in which thickness was formed in 55A In the case of the 3rd nitride for liners in which 500A (A portion in drawing) ***** while the mask pattern 2 ***** to about 1700A, and thickness was formed in 100A 1200A (B portion in drawing) *****, and, in the case of the 4th nitride for liners in which thickness was finally formed in 200A, the etching degree of a mask pattern 2 ***** in 1600A (C portion in drawing) of analogous. That is, in forming the thickness of the nitride for liners in about 300A or less and inserting this between oxide films from the above thing, on the occasion of etching, it turns out that the rate of etching falls from a mask pattern 2. Since this has the narrow surface area of the nitride for liners exposed to a phosphoric-acid solution, when forming the thickness of the nitride for liners thickly, the direction in the case of forming more thinly is considered that the rate of etching falls on the occasion of isotropic etching. I hear that the hollow phenomenon in which it ***** by the nitride for liners doubling is suppressed, and there is a conclusion obtained from the aforementioned experiment, when removing the mask pattern 2 which follows if a nitride is formed in thin thickness about 300A or less, after forming an oxide film so that the trench internal oxidation film 3 may be formed and a thin film may be formed in the side attachment wall of a mask pattern 2 further at least. In that case, one sheet may be used for the nitride for liners, or two or more sheets may be used for it. This can be judged from the transverse-electromagnetic photograph of drawing 5.

[0018] The operation [1st] gestalt: When using the oxide film by CVD as a hollow prevention film, drawing 6 or drawing 10 is a cross section for explaining the trench isolation method using the hollow prevention film by the 1st operation gestalt of this invention. Reference of drawing 6 carries out the deposit of the nitride (SiN) used as a mask pattern 104 of the photolithography process for limiting an isolation field to the semiconductor substrate 100 in which the pad oxide film 102 of 100-500A thickness was formed in about 500-3000A thickness by the low voltage chemistry gaseous-phase vacuum evaporation (LPCVD) method. Here, a pad oxide film can be formed by thermal oxidation under 900-degree C temperature conditions. Moreover, you may skip the formation process of this pad oxide film. Furthermore, the deposit of the antireflection film (ARC) formed from either among oxide films, such as HTO, SiON(s), and these bipolar membranes on the matter layer used as the aforementioned mask pattern may be carried out in 150-1500A thickness, and the detailed pattern used for the semiconductor device integrated further highly may be formed using this.

[0019] If drawing 7 is referred to, patterning of the matter layer used as the aforementioned mask pattern will be carried out at a photolithography process, it will ***** in a part of semiconductor substrate 100 by using as a mask the mask pattern 104 obtained by that cause, and a trench 106 will be formed. Then, an oxidization process, for example, thermal oxidation, is given, and the trench internal oxidation film 108 is formed in the wall of a trench 106. Here, even if it skips the formation process of a trench internal oxidation film, it is not cared about.

[0020] In addition, the method of ***** the aforementioned trench 106 may form a trench 106 by ***** the ground film containing the semiconductor substrate 100, using the photoresist pattern (not shown) constituted from a photograph process by the best layer as an etching mask. Or after it ***** even the pad oxide film 102 once using a photoresist pattern and an etching process removes a photoresist pattern, you may form a trench 106 by ***** a ground film, using the antireflection film (not shown [ARC and]) formed further as an etching mask. Furthermore, when not forming an antireflection film in the upper part, you may form a trench 106 by ***** a ground film, using a mask pattern 104 as an etching mask. Namely, various deformation is possible for the method of ***** a trench.

[0021] When drawing 8 was referred to, as a result of forming the aforementioned trench internal oxidation film 108, it consists of a nitride which is the liner layer formed in an object at a consecutiveness process, and a membraneous CVD oxide film with an etching selection ratio,

and it becomes depressed, and the deposit of the prevention film 110 is carried out in 10–300Å thickness. Subsequently, the liner layer 112 for stopping thermal stress is formed in 20–300Å thickness using a nitride (SiN). The deposit of this liner layer 112 can be carried out by the low voltage chemistry gaseous-phase vacuum evaporation (LPCVD) method. Then, by carrying out the deposit of the high-temperature-oxidation film (not shown [HTO and]) formed at the elevated temperature of 700 to 900 degrees C in about 100Å thickness, and performing ammonia plasma treatment to this high-temperature-oxidation film (HTO) further, at a consecutiveness process, the thickness of the aforementioned liner layer 112 becomes thin, or prevents being damaged. You may omit plasma treatment, when replacing with a high-temperature-oxidation film and carrying out the deposit of the HDP oxide film at this time.

[0022] Here, you may omit the plasma treatment to the formation process of a high-temperature-oxidation film (HTO), and this high-temperature-oxidation film. The deposit of the insulator layer 114 for isolation which has the thickness of the grade which can be wearing the front face of a semiconductor substrate enough in an object as a result of forming the aforementioned high-temperature-oxidation film is carried out. This insulator layer 114 for isolation can be formed from USG, TEOS, a HDP oxide film, the CVD oxide films of a mono-silane (SiH₄) machine, and these bipolar membranes. After carrying out the deposit of this insulator layer 114 for isolation, the heat treatment process for membraneous dense-izing is given. As for this heat treatment process, it is desirable to give under temperature conditions (800 degrees C or 1150 degrees C). According to this heat treatment process, the rate of etching of the film of the whole to the etching solution of fluoric acid (HF) and a phosphoric-acid (H₃PO₄) machine falls. Then, a chemical machinery-polish (CMP) process is given so that the aforementioned mask pattern 104 may be exposed, and some of aforementioned insulator layers 114 for isolation, liner layers 112, and hollow prevention films 110 are removed.

[0023] At this time, it is important for the hollow prevention film 110 to remain so that it may be formed in the side attachment wall of a mask pattern 104 at least. This is because the liner layer 112 which is a wet etching process for removing the mask pattern 104 which follows, and consists of a nitride carries out the role which narrows area exposed to the phosphoric-acid solution which is an etching reagent. Like the existing technology, at the process which forms an oxide film in a trench wall by thermal oxidation, although the oxide film was formed in the trench wall, an oxide film was not formed in the side attachment wall of the nitride of a mask pattern 104. When the surface area which the liner layer 112 exposes to a phosphoric-acid solution at the wet etching process for this removing the mask pattern 104 which follows spread and over etching was given, the semiconductor substrate turned caudad, and the part *****ed, consequently the hollow also generated the nitride of the liner layer 112. However, this can be stopped like this invention by [which become the side attachment wall of a mask pattern 104 from the oxide film by CVD] becoming depressed and forming a prevention film.

[0024] Reference of drawing 9 gives wet etching for removing the mask pattern 104 which becomes the semiconductor substrate to which Above CMP was given from a nitride. This wet etching can be performed using a phosphoric-acid solution. Usually, over etching is performed that it should prevent that a nitride remains on the pad oxide film 102. Although etching was explained focusing on the isotropic etching given by wet etching, it may be anisotropic etching which it is not restricted to this and given by dry etching. Although the hollow phenomenon in which the semiconductor substrate 100 turns caudad and the liner layer 112 *****s at this time is prevented (B portion in drawing), the surface area exposed to a phosphoric-acid solution is because narrowing, consequently the rate of etching fall by [which the liner layer 112 which this becomes from a nitride becomes from a CVD oxide film] becoming depressed and being inserted between the prevention film 110, a high-temperature-oxidation film (HTO), or the insulator layer 114 for isolation. This is already described through the example of an experiment of aforementioned drawing 5.

[0025] When drawing 10 was referred to, as a result of removing the aforementioned mask pattern 104, to an oxide film, the rate of etching is high in an object, and when the rate of etching gives wet etching using a low etching reagent and carries out etchback of the front face of the semiconductor substrate 100 to the silicon layer and nitride which constitute the

semiconductor substrate 100, the trench isolation process by the 1st operation gestalt of this invention is completed in it. At the aforementioned wet etching process, a part of pad oxide film 102 which remains on the semiconductor substrate 100, hollow prevention film 110, and insulator layer 114 for isolation are removed completely, and it carries out flattening. Furthermore, after a final trench isolation process is completed, generating of the hollow generated in the interface of the insulator layer 114 for isolation and an active region can be prevented (C of drawing 10).

[0026] The operation [2nd] gestalt: If easy, in order to omit the explanation which overlaps about the same portion as the aforementioned 1st operation gestalt in the operation gestalt which is the following and describes a silicon film as a hollow prevention film when using a deposit and the oxidized oxide film and to close an understanding, it has given so that a reference mark may be mutually corresponded with the aforementioned 1st operation gestalt. Drawing 11 or drawing 17 is the cross section shown in order to explain the trench isolation method using the hollow prevention film by the 2nd operation gestalt of this invention. If drawing 11 is referred to, a mask pattern 204 will be formed in a nitride on the semiconductor substrate 200 in which the pad oxide film 202 was formed, and a trench 206 will be formed by

*****ing in a part of semiconductor substrate 200 using the mask pattern 204. An antireflection film can be used at this time as well as the 1st operation gestalt, and the etching method of a trench can also be made to transform into it. Subsequently, in order to form the nitride which constitutes a liner layer in the aforementioned result object, and an oxide film with an etching selection ratio, the deposit of the silicon film 208 is carried out in 10–200Å thickness. As a silicon film, although an amorphous silicon film may be used, contest polysilicon is used here. Using LPCVD equipment, chamber temperature is set into 500–700 degrees C, and they set a chamber pressure to 13.3–79.8Pa (abbreviation 0.1 – 0.6Torr), and the process conditions which use contest polysilicon as the silicon film 208, and carry out a deposit can form it, while only the amount of 500 cc/min supplies mono-silane (SiH_4) gas. Using LPCVD equipment, chamber temperature is set into 400–700 degrees C, and it sets a chamber pressure to 13.3–79.8Pa (abbreviation 0.1 – 0.6Torr), and the silicon film formation method of further others using contest polysilicon can form it, while only the amount of 50SCCM(s) supplies Si_2H_6 gas.

[0027] When drawing 12 was referred to, as a result of carrying out the vacuum evaporation of the aforementioned silicon film 208, an oxidization process, for example, a thermal oxidation process, is given to an object, and the aforementioned silicon film 208 is changed into the hollow prevention film 210 of the oxide film by thermal oxidation. Here, a fatal defect may be brought to the electrical property of a transistor when the silicon film 208 which consists of contest polysilicon remains without oxidizing completely. It is desirable to adjust thermal oxidation time so that the silicon film 208 by which the deposit was carried out may oxidize completely that this should be prevented. As for the process conditions of the aforementioned thermal oxidation, it is desirable to oxidize, while the temperature of the chamber of an atmospheric pressure state is adjusted at 800–1000 degrees C and only the amount of 0.05 – 0.2 l/min supplies 5 – 15 l/min and hydrogen chloride (HCl) gas for oxygen gas (O_2).

[0028] With the existing technology, since the silicon film 208 was not formed but the thermal oxidation film was formed only in the wall of a trench, on the side attachment wall of a mask pattern 204 which consists of a nitride, it became depressed, and the prevention film 210, i.e., an oxide film, was not formed. However, when carrying out the deposit of the polysilicon contest film previously and performing the post heating oxidization like this operation gestalt, the thermal oxidation film which becomes depressed also on the side attachment wall of a mask pattern 204 which consists of a nitride like the 1st operation gestalt, and makes the role of the prevention film 210 it is formed. Therefore, in the wet etching process using the phosphoric-acid solution which follows, the nitride for liners can minimize the surface area exposed to a phosphoric-acid solution, and can reduce the rate of etching of a liner layer (212 of drawing 16).

[0029] When drawing 13 was referred to, as a result of becoming depressed according to the aforementioned thermal oxidation process and forming the prevention film 210, the deposit of the liner layer 212 which makes a nitride (SiN) the quality of the material in 20–300Å thickness by the low voltage chemistry gaseous-phase vacuum evaporation (LPCVD) method is carried out to an object.

[0030] If drawing 14 is referred to, the laminating of an oxide film (HTO) (not shown), for example, the high-temperature-oxidation film, is carried out to the aforementioned result object in about 100A thickness, ammonia plasma treatment is performed, and the liner layer 212 will become thin at a consecutiveness process, or will prevent being damaged. Subsequently, the deposit of the insulator layer 214 for isolation is carried out so that the front face of a semiconductor substrate can be enough worn in the aforementioned result object, and the heat treatment process for attaining membraneous dense-ization is given.

[0031] Reference of drawing 15 removes and carries out flattening of some of aforementioned insulator layers 214 for isolation, liner layers 212, and hollow prevention films 210 by giving a CMP process, using the aforementioned mask pattern 204 as a polish blocking layer.

[0032] Reference of drawing 16 gives wet etching for removing a mask pattern 204 to the semiconductor substrate which finished the aforementioned flattening. It is desirable to use a phosphoric-acid solution as a wet etching reagent at this time, and in order to suppress that the mask pattern which becomes the front face of a semiconductor substrate from a nitride remains, over etching is given enough. Although the mask pattern 204 which consists of a nitride in process in which this over etching is given is removed completely, the liner layer 212 which consists of a nitride does not ***** because of the difference in the rate of etching (refer to the example of an experiment of drawing 5) so that the semiconductor substrate 200 may become depressed caudad (B' portion of a drawing).

[0033] The following table 1 shown as reference is a rate of etching of the insulator layer 214 for isolation which consists of the mask pattern 204 and the liner layer 212 which consist of a nitride when using a phosphoric acid and LAL200 as a wet etching reagent, and a thermal oxidation film and which becomes depressed and consists of a prevention film 210 and USG, and a unit is **/min. At this time, the thickness of the nitride which is a liner layer was 70A.

[Table 1]

	SIN (204)	ライナ層 (212)	窪み防止膜 (210)	USG (214)
リン酸	52.3	21.6	2	3
LAL200	3	≒0	218	330

Here, LAL200 is an etching reagent used for removing the hollow prevention film 210, the insulator layer 214 for isolation, and the pad oxide film 202 which are an oxide film which remains on the front face of the aforementioned semiconductor substrate by wet etching. The rate of etching of LAL200 is about 200A on the basis of a thermal oxidation film.

[0034] Drawing 17 is a cross section when completing the trench isolation process by the 2nd operation gestalt of this invention by removing the oxide film which remains on the front face of the aforementioned semiconductor substrate 200 by wet etching. Although the hollow occurred at the wet etching process of having used the phosphoric acid, conventionally, since the rate of etching of the liner layer 212 which it becomes depressed and the prevention film 210 becomes from a nitride which was made to oxidize silicon thermally and was formed is dropped on this invention, it turns out that a hollow does not occur (C').

[0035] When a nitride and an oxide film use the bipolar membrane formed alternately once or more as a hollow prevention film, The 3rd operation gestalt : this operation gestalt Complement the property which is easy to collapse at the oxidization process which this nitride for liners follows when the nitride for liners is too thin, and on the other hand, when too thick It is thought out in order to complement with the interface of the insulator layer for isolation, and an active region the problem which a hollow generates, after giving a trench isolation process. That is, an oxide film is put between the thin nitrides for liners, and the hollow prevention film of the structure where the nitride and the oxide film were formed alternately once or more is constituted. Therefore, while preventing that it is easy to collapse at the oxidization process which each nitride for liners follows, the rate of etching of the nitride for liners can be dropped, and it can suppress that a hollow occurs in the nitride for liners by this at the time of etching of the nitride used as a mask pattern.

[0036] Drawing 18 or drawing 21 is a cross section for explaining the semiconductor device using the trench isolation method and this using the hollow prevention film by the 3rd operation gestalt of this invention. If drawing 18 is referred to, like the method of the aforementioned 1st operation gestalt, the pad oxide film 302, a mask pattern 304, and a trench 306 will be formed in the semiconductor substrate 300, and, subsequently to the wall of a trench, the trench internal oxidation film 308 will be formed in about 100A thickness. The d formation which becomes various at this process as well as the 1st operation gestalt is possible.

[0037] The compound liner layer 318 which becomes depressed in an object with the nitride for liners and by which the laminating of the oxide film for prevention was alternately carried out once [at least] or more to it as a result of forming the aforementioned trench internal oxidation film 308, when drawing 19 was referred to is formed by the LPCVD method. It is required in order to suppress generating of a hollow explained by drawing 5 , when forming the thickness of the 1st nitride 310 for liners by which a deposit is carried out to the 1st in 10-50A thickness at this time removes the mask pattern which follows by wet etching. With this operation gestalt, the thickness of the 1st nitride 310 of the above, the 1st oxide film 312, the 2nd nitride 314, and the 2nd oxide film 316 is formed by 30A thickness, respectively. Subsequently, the deposit of the last nitride 320 for liners is carried out in about 30A thickness, it forms in fixed thickness further, the oxide film 322, for example, the high-temperature-oxidation film, (HTO) for preservation of the thickness of the nitride 310,314,320 for liners, and injury suppression, plasma treatment is performed, and the membraneous quality of a high-temperature-oxidation film (HTO) is improved. Here, you may skip the formation process of a high-temperature-oxidation film. Then, the deposit of the insulator layer 324 for isolation is carried out so that the front face of a semiconductor substrate can be worn enough. Subsequently, the heat treatment process for dense-izing of the aforementioned insulator layer 324 for isolation is given.

[0038] Here, with this operation gestalt, a nitride and an oxide film become depressed and use the compound liner layer 318 which formed the membrane structure which carries out alternation one by one 2 times as a prevention film. Thus, although it becomes depressed, so that it increases, and the function of the prevention effect and a liner increases, since the number of times which carries out alternation serves as cost quantity, stopping in an effective stage is good [the number of times].

[0039] If drawing 20 is referred to, by giving CMP, using the aforementioned mask pattern 304 as a polish blocking layer, a part of the insulator layer 324 for isolation, last nitride 320, high-temperature-oxidation film 322, and compound liner layer 318 will be removed, and flattening of the front face of a semiconductor substrate will be carried out.

[0040] Reference of drawing 21 removes the mask pattern 304 which gives wet etching which used the phosphoric acid to the semiconductor substrate which finished the aforementioned flattening, and becomes it from a nitride. At this time, the 1st nitride 310, the 2nd nitride 314, and the last nitride 320 which are the aforementioned compound liner layer 318 become depressed, and it is inserted between the 1st oxide film 312 for prevention, the 2nd oxide film 316, and the high-temperature-oxidation film 322, and is effective in the rate of etching of the thin liner layer stated by aforementioned drawing 5 falling by this. As [***** / the semiconductor substrate 300 turns caudad and / even if it is the case where over etching is performed / therefore, / the nitride 310,314,320 for liners] Then, the trench isolation process by the 3rd operation gestalt of this invention is completed by wet etching removing the 1st oxide film 312 for hollow prevention which remains on the semiconductor substrate 300, the 2nd oxide film 316, the high-temperature-oxidation film 322, and the insulator layer 324 for isolation, and carrying out flattening.

[0041] Hereafter, based on drawing 21 , the structure of the semiconductor device by this invention is explained. The trench with which the semiconductor device by the 3rd operation gestalt of this invention was formed in the semiconductor substrate 300 and this semiconductor substrate, The trench internal oxidation film 308 formed by fixed thickness, for example, 100A thickness, along with the wall of this trench, The compound liner layer 318,320 for hollow prevention which a deposit is carried out on this trench internal oxidation film 308, and contains the oxide film and nitride of every at least one or more sheets, The oxide film 322 formed on this

compound liner layer 318, 320 and this oxide film 322 are consisted of an insulator layer 324 for isolation which embeds the interior of a trench with a wrap.

[0042] Here, the trench internal oxidation film 308 is an oxide film generated by thermal oxidation. Moreover, a compound liner layer considers the 1st nitride 310, the 1st oxide film 312, and the 2nd nitride 314 as the minimum composition, and if required, it can carry out the laminating of an another oxide film and an another nitride to the upper part further. With this operation gestalt, the 2nd oxide film 316 and the last nitride 320 are further formed as a desirable example. Moreover, although the oxide film 322 formed on the last nitride 320 is a high-temperature-oxidation film (HTO), you may constitute the semiconductor device by this operation gestalt, without forming this. In this semiconductor device, the compound liner layer 318 serves as main means to stop the thermal stress which prevents generating of the hollow which is the purpose of this invention at a trench isolation process, and is generated inside a trench.

[0043] The operation [4th] gestalt: When an oxide film and a nitride use the bipolar membrane formed alternately once or more as a hollow prevention film, this operation gestalt is almost similar with the aforementioned 3rd operation gestalt. A difference is using the bipolar membrane of the structure the oxide film and the nitride having been formed one by one once [at least] or more as a compound liner layer. That is, as compared with the 3rd operation gestalt, that the built-up sequence of a nitride and an oxide film is reverse differs. Drawing 22 or drawing 24 is a cross section for explaining the semiconductor device using the trench isolation method and this using the hollow prevention film by the 4th operation gestalt of this invention. If drawing 22 is referred to, the pad oxide film 402 and a mask pattern 404 will be formed in the semiconductor substrate 400, and a trench 406 will be formed using a mask pattern 404. Then, the trench internal oxidation film 408 is formed in the wall of a trench. Here, the pad oxide film 402 and the trench internal oxidation film 408 are omissible if needed.

[0044] Reference of drawing 23 forms the compound liner layer 418 of the structure where the laminating of the oxide film for hollow prevention and the nitride for liners was carried out alternately once [at least] or more, by the LPCVD method along with the level difference of the semiconductor substrate 400 in which the aforementioned trench internal oxidation film 408 was formed. Here, like the aforementioned 2nd operation gestalt, after the 1st oxide film 410 carries out the laminating of not the chemistry gaseous-phase vacuum evaporation method but the silicon film, you may form it by the method of making this oxidizing thermally. It is required, when forming the thickness of the 1st nitride 412 for liners by which a deposit is carried out to the 1st in 10-50Å thickness at this time removes the mask pattern which follows by wet etching and generating of the hollow stated by drawing 5 is suppressed. In the suitable gestalt of this invention, although the thickness of the 1st nitride 412 is limited to 10-50Å, even if it forms in 10-300Å thickness the thickness of the 1st nitride 412 used as a liner layer, it is effective in generating of a hollow being suppressed. With this operation gestalt, the number of times of the above which carries out alternation is limited to 2 times, and the 1st oxide film 410, the 1st nitride 412, the 2nd oxide film 414, and the 2nd nitride 416 are formed in 30Å thickness, respectively. However, as long as there is need, you may form the compound liner layer 418 of the structure which carries out alternation more than it. Then, an oxide film 420, for example, a high-temperature-oxidation film, (HTO) is formed, the deposit of the insulator layer 424 for isolation is further carried out to the grade which can cover the upper part of a semiconductor substrate enough, and the heat treatment process for membraneous dense-izing is given.

[0045] If drawing 24 is referred to, after giving the CMP process using a mask pattern 404 as a polish blocking layer and carrying out flattening of the whole surface of a semiconductor substrate, a mask pattern 404 is removed by carrying out wet etching using the phosphoric acid. At this time, as drawing 5 explained, the hollow generated in a nitride 412, 416 can be prevented. Subsequently, if the oxide film which remains on the front face of a semiconductor substrate is removed, the trench isolation film 424 which a hollow does not generate by the compound liner layer 418 can be formed.

[0046] Hereafter, based on drawing 24, the structure of the semiconductor device by this invention is explained. The trench with which the semiconductor device by the 4th operation

form of this invention was formed in the semiconductor substrate 400 and this semiconductor substrate, The trench internal oxidation film 408 formed by fixed thickness, for example, 100Å thickness, along this interior of a trench, The compound liner layer 418 for hollow prevention which a deposit is carried out on this trench internal oxidation film 408, and contains the oxide film and nitride of every at least one or more sheets, The oxide film 420 formed on this compound liner layer 418 and this oxide film 420 are consisted of an insulator layer 424 for isolation which embeds the interior of a trench with a wrap.

[0047] Here, the trench internal oxidation film 408 is an oxide film generated by thermal oxidation, and does not need to form this. Moreover, the 1st oxide film 410 and the 1st nitride 412 make the minimum component that by which the laminating was carried out one by one, and as long as the compound liner layer 418 is required, it may carry out the laminating of an another oxide film and an another nitride further one by one. In this operation form, the 2nd oxide film 414 and the 2nd nitride 416 are further formed as a suitable example. Moreover, thereby, the effect of the hollow prevention stated by aforementioned drawing 5 is played that the thickness of the 1st nitride formed in the 1st should just be within the limits of 10–50Å. the case where an oxide film and a nitride carry out alternation once in the compound liner layer 418 of this semiconductor device — the [the above 1st and] — when it becomes the structure stated with 2 operation forms and an oxide film and a nitride carry out alternation twice, it becomes the compound liner layer 418 of the 4th operation form Moreover, although the oxide film 420 formed on the compound liner layer 418 for hollow prevention is a high-temperature-oxidation film (HTO), this does not need to form it.

[0048] According to this invention, it can suppress that a hollow occurs in the liner layer in a trench isolation process by becoming depressed further and forming a prevention film using the liner layer for stopping the stress generated at an oxidization process. Furthermore, by suppressing generating of a hollow, generating of an in berth narrow WIDOSU effect and a hump is suppressed, and improvement in electrical properties, such as the dielectric-breakdown property of a transistor, can be aimed at. When a trench isolation process is hereafter given by this invention based on appended drawing 25 or drawing 29, the improvement factor to the electrical property of a semiconductor device is further explained to a detail.

[0049] Drawing 25 is a graph shown in order to explain the improvement factor of the in berth narrow WIDOSU effect in the semiconductor device by this invention. According to drawing 25, in the method of evaluating the property of a transistor, the short channel effect and the in berth narrow WIDOSU effect are greatly referred to. The short channel effect is checking threshold voltage changing according to shortening of gate length in the transistor whose gate width's was fixed, and an in berth narrow WIDOSU effect is checking change of the threshold voltage according to narrowing of gate width in the transistor whose gate length was fixed. Among these, an in berth narrow WIDOSU effect has a close relation to the profile of the interface of an active region and an isolation film. For example, in a transistor with narrow gate width, threshold voltage V_{th} increases the isolation film of a localized-oxidation-of-silicon system. Moreover, if gate width narrows, as for a trench isolation film, threshold voltage V_{th} will fall. That is, in the case of a localized-oxidation-of-silicon isolation film, the gate oxide film of an active-region edge becomes thick by the BAZU beak, and threshold voltage V_{th} increases. On the other hand, in the case of a trench isolation film, the recess of the edge of an isolation film will be carried out, consequently electric field will greatly be built in this portion. For this reason, in the case of a trench isolation film, if gate width narrows, threshold voltage will fall. Generally, with a transistor, it is the most ideal case that there is neither the short channel effect nor an in berth narrow WIDOSU effect. However, an in berth narrow WIDOSU effect becomes size, and threshold voltage falls, so that a hollow and a groove are intense, when a trench isolation film is adopted.

[0050] In a graph, a horizontal axis expresses gate width (O_m), and a vertical axis expresses threshold voltage (V), respectively. Moreover, gate length was fixed with 10 O_m by the sample. In a graph, the line connected by ** does not use a hollow prevention film like a Prior art. The line which is a characteristic curve at the time of forming the liner layer which consists of a nitride immediately after after forming a trench internal oxidation film, and is connected by O

Before carrying out the deposit of the liner layer which consists of a nitride like the 1st operation form of this invention, it is a characteristic curve at the time of carrying out the deposit of the oxide film by CVD, for example, the high-temperature-oxidation film, (HTO) in 100Å thickness, and giving a trench isolation process. According to this invention, from this graph, it can check that the in berth narrow WIDOSU effect has been improved. Moreover, it can also check that the profile has been improved by suppressing structural defects, such as a hollow and a groove, in the interface of an active region and an isolation film.

[0051] Drawing 26 is a graph which shows the gate voltage (V_g) when carrying out the deposit of the liner layer which consists of a nitride, without becoming depressed and forming a prevention film like a Prior art, and a relation with the drain OFF state current (I_d). Drawing 27 is a graph which shows the gate voltage (V_g) when carrying out the laminating of the oxide film by CVD in 100Å thickness, and using as a hollow prevention film like the 1st operation gestalt of this invention, and a relation with the drain OFF state current (I_d). When drawing 26 and drawing 27 are referred to, the gate width of a transistor is 100m among a graph, and gate length is 10m. And five characteristic curves are characteristic curves when a back bias is impressed to 0, -1, -2, -3, and -4V from a leftmost side, respectively. according to the Prior art, the hump phenomenon (thing (B by which a hump did not occur but has been improved when A) forms the liner layer which carries out the deposit of a CVD oxide film (HTO), for example, the high-temperature-oxidation film, in 100Å thickness, and consists of a nitride like the 1st operation gestalt of this invention, although the bird clapper was checked violently) has been checked, so that the back bias was large

[0052] Drawing 28 and drawing 29 are the graphs for explaining the improvement factor of a dielectric-breakdown property and the junction leakage current in a Prior art and the 1st operation gestalt of this invention. When drawing 28 and drawing 29 are referred to, it means whether when what charge flows, dielectric breakdown generates the horizontal axis in drawing 28, and the unit is C/cm². Moreover, the horizontal axis in drawing 29 expresses the junction leakage current, and the unit is A. And each vertical axis expresses the degree of distribution to a sample, and the unit is %. The line which the line connected by ** is a characteristic curve at the time of not forming a hollow prevention film but forming a trench isolation film like a Prior art among a graph, and is connected by O After [which forms a trench internal oxidation film in the wall of a trench, and consists of a high-temperature-oxidation film (HTO) which is a CVD oxide film] becoming depressed and forming a prevention film It is a characteristic curve at the time of forming a trench isolation film, and the line connected by ** is a characteristic curve at the time of [which consists of a high-temperature-oxidation film (HTO) which is a CVD oxide film, without forming a trench internal oxidation film] becoming depressed, forming a prevention film and forming a trench isolation film. The case where a hollow prevention film is formed is excellent in a dielectric-breakdown property like this invention, and, moreover, a junction leakage current property does not get worse so that clearly from a graph. In addition, it was known, when a trench internal oxidation film was not formed until now and the dielectric-breakdown property and junction leakage current property of a gate oxide film fell. This originates in USG or the HDP oxide film which constitutes the insulator layer for isolation touching directly with the silicon of a semiconductor substrate. However, like this invention, when [which consists of an oxide film] becoming depressed and forming a prevention film and the nitride for liners from a simple gland or a bipolar membrane, even if it does not carry out side-attachment-wall oxidization over a trench wall, it turns out in the dielectric-breakdown property and junction leakage current property over a gate oxide film that there is no degradation.

[0053] this invention was explained in full detail according to the gestalt of suitable operation above. However, if this invention is within the limits which does not secede from the pneuma and indispensable feature, it can be carried out by other methods. for example, the above — in a suitable operation gestalt, although the method of removing the nitride used as a mask pattern was wet etching using the phosphoric acid, you may be the dry etching using etching gas therefore, the above — it does not pass over the written content in a suitable operation gestalt to an instantiation-thing, and it does not restrict this invention If this invention is a person with the usual knowledge in a field for the time being [in the technical thought to which it is not

restricted to the above-mentioned operation gestalt, and this invention belongs], it cannot be overemphasized that more various deformation than this is possible.

[0054]

[Effect of the Invention] As explained to the detail above, according to this invention, in the trench isolation process of a semiconductor device, it becomes depressed by forming further the hollow prevention film which suppresses etching of the liner layer which consists of a nitride, and generating can be prevented. Consequently, it becomes possible to suppress the defect of the fall of a refreshment property, a gate bridge, etc. in memory devices, such as DRAM. In addition, the electrical property of a transistor can be made to improve.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The property view for explaining change of the electrical property of the semiconductor device when preventing a pit using a liner layer, when a pit is generated at a trench isolation process.

[Drawing 2] The cross section for explaining the trench isolation process using the liner layer by the Prior art.

[Drawing 3] The cross section for explaining the trench isolation process using the liner layer by the Prior art.

[Drawing 4] The cross section for explaining the trench isolation process using the liner layer by the Prior art.

[Drawing 5] Drawing by the transverse-electromagnetic photograph for explaining the example of an experiment of this invention.

[Drawing 6] The cross section for explaining the 1st operation gestalt of this invention.

[Drawing 7] The cross section for explaining the 1st operation gestalt of this invention.

[Drawing 8] The cross section for explaining the 1st operation gestalt of this invention.

[Drawing 9] The cross section for explaining the 1st operation gestalt of this invention.

[Drawing 10] The cross section for explaining the 1st operation gestalt of this invention.

[Drawing 11] The cross section for explaining the 2nd operation gestalt of this invention.

[Drawing 12] The cross section for explaining the 2nd operation gestalt of this invention.

[Drawing 13] The cross section for explaining the 2nd operation gestalt of this invention.

[Drawing 14] The cross section for explaining the 2nd operation gestalt of this invention.

[Drawing 15] The cross section for explaining the 2nd operation gestalt of this invention.

[Drawing 16] The cross section for explaining the 2nd operation gestalt of this invention.

[Drawing 17] The cross section for explaining the 2nd operation gestalt of this invention.

[Drawing 18] The cross section for explaining the 3rd operation gestalt of this invention.

[Drawing 19] The cross section for explaining the 3rd operation gestalt of this invention.

[Drawing 20] The cross section for explaining the 3rd operation gestalt of this invention.

[Drawing 21] The cross section for explaining the 3rd operation gestalt of this invention.

[Drawing 22] The cross section for explaining the 4th operation gestalt of this invention.

[Drawing 23] The cross section for explaining the 4th operation gestalt of this invention.

[Drawing 24] The cross section for explaining the 4th operation gestalt of this invention.

[Drawing 25] The property view for explaining the improvement factor to the electric property of a semiconductor device, when a semiconductor device is manufactured by this invention.

[Drawing 26] The property view of the conventional technology shown in order to explain the improvement factor to the electric property of a semiconductor device, when a semiconductor device is manufactured by this invention.

[Drawing 27] The property view for explaining the improvement factor to the electric property of a semiconductor device, when a semiconductor device is manufactured by this invention.

[Drawing 28] The property view for explaining the improvement factor to the electric property of a semiconductor device, when a semiconductor device is manufactured by this invention.

[Drawing 29] The property view for explaining the improvement factor to the electric property of

a semiconductor device, when a semiconductor device is manufactured by this invention.

[Description of Notations]

100 Semiconductor Substrate

102 Pad Oxide Film

104 Mask Pattern

106 Trench

108 Trench Internal Oxidation Film

110 Hollow Prevention Film

112 Liner Layer

114 Insulator Layer for Isolation

[Translation done.]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208609

(P 2000-208609A)

(43) 公開日 平成12年7月28日 (2000. 7. 28)

(51) Int. Cl.
H01L 21/76

識別記号

F I
H01L 21/76

テマコード (参考)

N

審査請求 未請求 請求項の数42 O L (全17頁)

(21) 出願番号 特願2000-2884 (P 2000-2884)
(22) 出願日 平成12年1月11日 (2000. 1. 11)
(31) 優先権主張番号 1999P-391
(32) 優先日 平成11年1月11日 (1999. 1. 11)
(33) 優先権主張国 韓国 (KR)
(31) 優先権主張番号 1999P-19023
(32) 優先日 平成11年5月26日 (1999. 5. 26)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72) 発明者 金 誠 意
大韓民国京畿道水原市八達区牛満2洞105
番地 鮮京アパート102棟1713号
(72) 発明者 李 錦 珠
大韓民国仁川広域市南洞区九月3洞1378-
6 番地
(74) 代理人 100086368
弁理士 萩原 誠

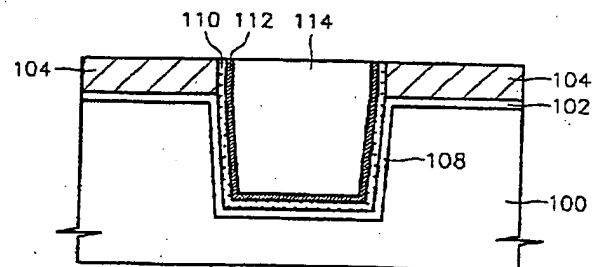
最終頁に続く

(54) 【発明の名称】 半導体素子のトレンチ素子分離方法及びこれを用いた半導体素子

(57) 【要約】

【課題】 トレンチ食刻用マスクパターンを除去するときのライナ層のエッチングによる窪み発生を防止できる半導体素子のトレンチ素子分離方法及びこれを用いた半導体素子を提供すること。

【解決手段】 CVD酸化膜よりなる窪み防止膜110をトレンチ内壁およびトレンチ食刻用マスクパターン104の側壁に形成した後、窒化膜からなるライナ層112を形成する。



【特許請求の範囲】

【請求項1】 半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、
前記トレンチ食刻用マスクパターンを用いて、半導体基板にトレンチを形成する第2工程と、
少なくとも前記トレンチ食刻用マスクパターンの側壁に薄膜が形成されるように、窪み防止膜を前記半導体基板の全面に形成する第3工程と、
前記窪み防止膜の上にライナ層をデポジットする第4工程と、
前記トレンチを埋め込むと同時に半導体基板の表面を覆う素子分離用絶縁膜をデポジットする第5工程と、
前記トレンチ食刻用マスクパターンが露出するように、前記露出した素子分離用絶縁膜の一部を除去する第6工程と、
前記トレンチ食刻用マスクパターンを除去する第7工程とを具備することを特徴とする半導体素子のトレンチ素子分離方法。

【請求項2】 前記第1工程の半導体基板は、パッド酸化膜が形成された半導体基板であることを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項3】 前記第1工程のマスクパターンの上に反射防止膜を形成する工程をさらに具備することを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項4】 前記反射防止膜は、SiON、酸化膜及びこれらの複合膜のうちいずれかを用いて150～1500Åの膜厚にて形成することを特徴とする請求項3に記載の半導体素子のトレンチ素子分離方法。

【請求項5】 前記第3工程の窪み防止膜は、前記ライナ層と食刻選択比を持つ膜質であることを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項6】 前記ライナ層と食刻選択比を持つ膜質は、化学気相蒸着法によりデポジットされた酸化膜であることを特徴とする請求項5に記載の半導体素子のトレンチ素子分離方法。

【請求項7】 前記ライナ層と食刻選択比を持つ膜質は、シリコン膜をデポジットして酸化させた酸化膜であることを特徴とする請求項5に記載の半導体素子のトレンチ素子分離方法。

【請求項8】 前記第3工程の窪み防止膜は、窒化膜と酸化膜とが少なくとも1回以上交互に形成された複合ライナ層であることを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項9】 前記第4工程のライナ層は、窒化膜を用い、20～300Åの膜厚にて形成することを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項10】 前記第4工程のライナ層を形成した後に、

ライナ層の膜厚を維持させるとともに、外部からの損傷を抑えるための高温酸化膜を形成する工程をさらに施すことを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項11】 前記高温酸化膜を形成する工程後に、前記高温酸化膜に対するプラズマ処理工程をさらに施すことを特徴とする請求項10に記載の半導体素子のトレンチ素子分離方法。

【請求項12】 前記第5工程の素子分離用絶縁膜をデポジットした後に、
前記素子分離用絶縁膜の膜質特性を強めるための熱処理工程をさらに施すことを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項13】 前記マスクパターンの除去は、 H_2PO_4 を用いた湿式エッチング法により行うことを特徴とする請求項1に記載の半導体素子のトレンチ素子分離方法。

【請求項14】 前記第2工程のトレンチを形成した後に、トレンチの内部に熱酸化膜を形成する工程をさらに具備することを特徴とする請求項6に記載の半導体素子のトレンチ素子分離方法。

【請求項15】 前記化学気相蒸着法によりデポジットされた酸化膜は、該膜厚が10～300Åの範囲内にあることを特徴とする請求項6に記載の半導体素子のトレンチ素子分離方法。

【請求項16】 前記シリコン膜は、該膜厚が10～200Åの範囲内にあることを特徴とする請求項7に記載の半導体素子のトレンチ素子分離方法。

【請求項17】 前記酸化は、熱酸化を用いることを特徴とする請求項7に記載の半導体素子のトレンチ素子分離方法。

【請求項18】 前記第2工程のトレンチを形成した後に、
トレンチの内部に熱酸化による内部酸化膜を形成する工程をさらに具備することを特徴とする請求項8に記載の半導体素子のトレンチ素子分離方法。

【請求項19】 前記複合ライナ層において、1番目に形成される窒化膜は、該膜厚が10～50Åの範囲内にあることを特徴とする請求項8に記載の半導体素子のトレンチ素子分離方法。

【請求項20】 半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、
前記トレンチ食刻用マスクパターンを用いて、前記半導体基板にトレンチを形成する第2工程と、
前記トレンチの内部に熱酸化膜を形成する第3工程と、
少なくとも前記トレンチ食刻用マスクパターンの側壁に薄膜が形成されるように、前記半導体基板の全面に化学気相蒸着法による窪み防止用酸化膜をデポジットする第4工程と、

前記窪み防止用酸化膜の上にライナ用窒化膜をデポジッ

トする第5工程と、

前記トレンチを埋め込むと同時に前記半導体基板の表面を覆う素子分離用絶縁膜をデポジットする第6工程と、前記トレンチ食刻用マスクパターンが露出するように、前記露出した素子分離用絶縁膜の一部を除去する第7工程と、前記トレンチ食刻用マスクパターンを除去する第8工程とを具備することを特徴とする半導体素子のトレンチ素子分離方法。

【請求項21】 前記第4工程の窪み防止用酸化膜は、該膜厚が10～300Åの範囲内にあることを特徴とする請求項20に記載の半導体素子のトレンチ素子分離方法。

【請求項22】 前記第5工程のライナ用窒化膜は、該膜厚が20～300Åの範囲内にあることを特徴とする請求項20に記載の半導体素子のトレンチ素子分離方法。

【請求項23】 半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、

前記トレンチ食刻用マスクパターンを用いて、半導体基板にトレンチを形成する第2工程と、

前記トレンチが形成された半導体基板の全面にシリコン膜をデポジットする第3工程と、

前記シリコン膜を熱酸化させて、前記トレンチ食刻用マスクパターンの表面及びトレンチの内部に窪み防止用酸化膜を形成する第4工程と、

前記窪み防止用酸化膜の上にライナ用窒化膜を形成する第5工程と、

前記トレンチを埋め込むと同時に半導体基板の全面を覆う素子分離用絶縁膜をデポジットする第6工程と、

前記トレンチ食刻用マスクパターンが露出するように、前記露出した素子分離用絶縁膜の一部を除去する第7工程と、

前記トレンチ食刻用マスクパターンを除去する第8工程とを具備することを特徴とする半導体素子のトレンチ素子分離方法。

【請求項24】 前記第3工程のシリコン膜は、該膜厚が10～200Åの範囲内にあることを特徴とする請求項23に記載の半導体素子のトレンチ素子分離方法。

【請求項25】 前記第4工程の熱酸化は、デポジットされたシリコンが残留することなく完全に酸化膜に変わるように行うことを特徴とする請求項23に記載の半導体素子のトレンチ素子分離方法。

【請求項26】 前記第5工程のライナ用窒化膜は、該膜厚が20～300Åの範囲内にあることを特徴とする請求項23に記載の半導体素子のトレンチ素子分離方法。

【請求項27】 半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、

前記トレンチ食刻用マスクパターンを用いて、前記半導

体基板にトレンチを形成する第2工程と、

前記結果物上に、熱酸化を用いてトレンチ内部酸化膜を形成する第3工程と、

前記トレンチ内部酸化膜が形成された半導体基板上に、表面段差に沿ってライナ用窒化膜と窪み防止用酸化膜とが少なくとも1回以上交互に形成された構造の複合ライナ層を形成する第4工程と、

前記複合ライナ層が形成された半導体基板の全面に、表面段差に沿ってライナ用最終窒化膜を形成する第5工程と、

前記ライナ用最終窒化膜の上に、前記トレンチを埋め込むと同時に半導体基板の全面を覆う素子分離用絶縁膜を形成する第6工程と、

前記トレンチ食刻用マスクパターンが露出するように、前記素子分離用絶縁膜の一部を除去する第7工程と、

前記トレンチ食刻用マスクパターンを除去する第8工程とを具備することを特徴とする半導体素子のトレンチ素子分離方法。

【請求項28】 前記第4工程の複合ライナ層において、1番目に形成される窒化膜は、該膜厚が10～50Åの範囲内にあることを特徴とする請求項27に記載の半導体素子のトレンチ素子分離方法。

【請求項29】 前記第5工程後に、複合ライナ層の窒化膜の膜厚を維持させるとともに、外部からの損傷を抑えるための高温酸化膜を形成する工程をさらに施すことを特徴とする請求項27に記載の半導体素子のトレンチ素子分離方法。

【請求項30】 半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、

前記トレンチ食刻用マスクパターンを用いて、前記半導体基板にトレンチを形成する第2工程と、

前記結果物上に、熱酸化を用いてトレンチ内部酸化膜を形成する第3工程と、

前記トレンチ内部酸化膜が形成された半導体基板上に、表面段差に沿って窪み防止膜とライナ用窒化膜とが少なくとも1回以上交互に形成された構造の複合ライナ層を形成する第4工程と、

前記複合ライナ層の上に、前記トレンチを埋め込むとともに半導体基板の全面を覆う素子分離用絶縁膜を形成する第5工程と、

前記マスクパターンが露出するように、前記素子分離用絶縁膜の一部を除去する第6工程と、

前記マスクパターンを除去する第7工程とを具備することを特徴とする半導体素子のトレンチ素子分離方法。

【請求項31】 前記第4工程の複合ライナ層において、1番目に形成される窒化膜は、該膜厚が10～50Åの範囲内にあることを特徴とする請求項30に記載の半導体素子のトレンチ素子分離方法。

【請求項32】 前記第4工程後に、複合ライナ層の窒化膜の膜厚を維持させるとともに、外

部からの損傷を抑えるための高温酸化膜を形成する工程をさらに施すことを特徴とする請求項30に記載の半導体素子のトレンチ素子分離方法。

【請求項33】 表面にトレンチを形成した半導体基板と、

この半導体基板の表面段差に沿ってデポジットされた少なくとも1枚以上ずつの酸化膜及び窒化膜を含む窪み防止用複合ライナ層と、

この複合ライナ層を覆うと同時にトレンチの内部を埋め込むトレンチ素子分離用絶縁膜とを具備することを特徴とする半導体素子。

【請求項34】 前記複合ライナ層と前記素子分離用絶縁膜との間に、前記複合ライナ層用窒化膜の損傷防止及び膜厚の保存のための酸化膜をさらに具備することを特徴とする請求項33に記載の半導体素子。

【請求項35】 前記酸化膜は高温酸化膜であることを特徴とする請求項34に記載の半導体素子。

【請求項36】 前記トレンチの内壁に形成されたトレンチ内部酸化膜をさらに具備することを特徴とする請求項33に記載の半導体素子。

【請求項37】 前記複合ライナ層は、第1窒化膜、第1酸化膜及び第2窒化膜が順次積層された複合膜であることを特徴とする請求項33に記載の半導体素子。

【請求項38】 前記第1窒化膜は、該膜厚が10～50Åの範囲内にあることを特徴とする請求項37に記載の半導体素子。

【請求項39】 前記複合ライナ層は、前記第2窒化膜の上に、少なくとも1枚以上の別の酸化膜及び窒化膜をさらに具備することを特徴とする請求項37に記載の半導体素子。

【請求項40】 前記複合ライナ層は、第1酸化膜と第1窒化膜とが順次積層された複合膜であることを特徴とする請求項33に記載の半導体素子。

【請求項41】 前記複合ライナ層は、前記第1窒化膜の上に、少なくとも1枚以上の別の酸化膜及び窒化膜がさらに形成されている複合膜であることを特徴とする請求項40に記載の半導体素子。

【請求項42】 前記ライナ層用第1窒化膜は、該膜厚が10～50Åの範囲内にあることを特徴とする請求項40に記載の半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子の製造方法に係り、具体的には、半導体素子のトレンチ素子分離方法に関する。さらに、本発明は、前記トレンチ素子分離方法を用いた半導体素子に関する。

【0002】

【従来の技術】半導体素子の高集積化に伴う微細化技術の1つである素子分離工程(isolation process)は、半導体素子の初期加工工程であって、

後続工程における活性領域の寸法及び工程マージンを左右する。通常の素子分離技術としては、ロコス(LOCOS)素子分離技術と、トレンチ素子分離技術とに大別される。ここで、トレンチ素子分離技術は、既存のロコス素子分離技術における問題点であったバースピーク(Bird's beak)による活性領域の狭まりを解決したものである。その結果、この技術は、最近高集積化した半導体素子の素子分離工程に主として用いられている。

10 【0003】このトレンチ素子分離技術は、窒化膜(SiN)をマスクパターンとして用いて素子分離膜が形成される領域の半導体基板をエッチングすることによりトレンチを形成し、次いで、化学気相蒸着法(CVD:Chemical Vapor Deposition)による酸化膜を前記トレンチを埋め込むようにデポジットした後、化学機械的研磨(CMP:Chemical Mechanical Polishing)を行うことにより、素子間の隔離を完成する方法である。ところが、このトレンチ素子分離技術は、素子分離工程を完成した後、活性領域と素子分離膜との境界面にてピットが発生する問題点があった。ピットの発生の主な要因としては、原副資材によること、イオン打ち込みによること、トレンチを埋め込む膜質の稠密化度及び後続する酸化工程など、種々挙げられるが、中でも、トレンチ素子分離後の酸化工程が最大の要因である。具体的に述べると、トレンチ素子分離工程後の酸化工程は、トレンチの内壁に存在していた半導体基板のシリコンを酸化させ、この酸化中におこるシリコンの体積膨脹はトレンチの側壁への物理的又は熱的ストレスとして作用し、その結果、ピットが発生するのである。

20 【0004】近年、酸化中におこる体積膨脹による物理的又は熱的ストレスを抑えるため、トレンチエッチング後にトレンチの内壁に熱酸化膜を形成し、その上に窒化膜(SiN)よりなるライナ層をデポジットする技術が開発されている。図1は、トレンチ素子分離工程において、ピットが発生した場合及びライナ層を用いてピットの発生を抑えた場合の半導体素子の電気的特性の変化を説明するためのグラフである。これを参照すると、縦軸は試料の分布度を、横軸はこれによるドレインオフ電流特性をそれぞれ表す。ここで、ドレインオフ電流の測定は、ゲート及びソース、シリコン基板をグラウンド状態にした後、ドレインにのみ3.3Vの電圧を印加して行う。図中、○により繋がる線は、窒化膜よりなるライナ層を形成した場合のドレインオフ電流であり、□により繋がる線は、ライナ層を形成せずにトレンチ素子分離工程を行った場合のドレインオフ電流である。図から明らかのように、窒化膜よりなるライナ層を形成させた場合が、ドレインオフ電流がより低いことが解るが、これは、窒化膜ライナにより、素子分離工程後に熱的ストレスが有効に抑えられたからである。このように、窒化膜

よりなるライナ層を形成してトレンチ素子分離を行う技術は、IBM社により米国特許第5447884号公報に記載されている(Shallow Trench Isolation with thin nitride liner, Sep. 5, 1995.)。

【0005】図2ないし図4は、前記従来の技術によるライナ層を用いたトレンチ素子分離工程を説明するための断面図である。図2を参照すると、半導体基板51上に、パッド酸化膜53及び窒化膜(SiN)よりなるマスクパターン55を形成した後に、前記マスクパターン55を用いて、半導体基板51の一部をエッチングしてトレンチを形成する。次いで、熱酸化工程を施してトレンチ内部酸化膜56を形成し、後続する酸化工程において酸化がおこった時に発生する物理的又は熱的ストレスを抑えるため、窒化膜よりなるライナ層57を形成する。その後に、CVDによる酸化膜59を、半導体基板の表面を十分覆える程度に厚くデポジットする。その後、前記マスクパターン55を研磨阻止層として用いてCMPを施して、半導体基板の全面を平坦化させる。図3を参照すると、前記平坦化を終えた半導体基板の全面に、リン酸(H_3PO_4)を用いた等方性湿式エッチングを施し、マスクパターンとして用いられた窒化膜(SiN)を完全に除去する。このとき、マスクパターンとして用いられた窒化膜が半導体基板の全面に残留することを防止すべく僅かなオーバーエッチングを行うと、窒化膜よりなるライナ層57もエッチングされて一部が除去されてしまう。この問題は、異方性エッチングを行った場合にも依然発生する。図4を参照すると、前記湿式エッチングを施した結果物にエッチバック工程を施し、半導体基板41の上に存在していたパッド酸化膜及びCVDによる酸化膜59'を除去して半導体基板を平坦化させることにより、トレンチ素子分離工程を完了する。

【0006】

【発明が解決しようとする課題】ところが、前記窒化膜よりなるマスクパターン55の除去中に同時にエッチングされたライナ層57'の窪み部分(図4のAに相当)は、トレンチ素子分離工程を施した後にも依然残っている。このように、活性領域と素子分離膜との境界面が窪んでしまう現象は、ダイナミックランダムアクセスメモリ(DRAM: Dynamic Random Access Memory)などのメモリ素子のリフレッシュ特性を低下させるとともに、後続工程でポリシリコンよりなるゲート電極をエッチングするとき、窪みの中に導電物質であるポリシリコンが残留してしまい、その結果、ゲートブリッジなどの欠陥が生じる。しかも、完成したトランジスタの電気的な特性曲線が線形的に現れない所謂ハンプ(hump)現象や、スレッシュホールド電圧低下の原因となるインバース・ナロー・ウィドス・エフェクト(Inverse Narrow Width Effect)現象を深刻化させる結果となる。

【0007】本発明は上記の事情に鑑みてなされたものであり、その目的は、物理的又は熱的ストレスを抑えるためのライナ層を用いつつ、窪みが発生しないように窪み防止膜をさらに形成することにより、トレンチ素子分離工程における窪み発生を抑えることのできる半導体素子のトレンチ素子分離方法を提供することにある。本発明の他の目的は、前記トレンチ素子分離方法を用いた半導体素子を提供することにある。

【0008】

【課題を解決するための手段】本発明に係る半導体素子のトレンチ素子分離方法は、半導体基板上にトレンチ食刻用マスクパターンを形成し、このトレンチ食刻用マスクパターンにて半導体基板にトレンチを形成する。その後、少なくとも前記トレンチ食刻用マスクパターンの側壁に薄膜が形成されるように、窪み防止膜を前記半導体基板の全面に形成し、この窪み防止膜の上にライナ層をデポジットする。続けて、前記トレンチを埋め込むと同時に半導体基板の表面を覆う素子分離用絶縁膜をデポジットし、前記トレンチ食刻用マスクパターンが露出するように、前記露出した素子分離用絶縁膜の一部を除去する。最後に、前記トレンチ食刻用マスクパターンを除去する。

【0009】この方法において、好適な形態によると、前記半導体基板は、パッド酸化膜が形成された半導体基板であることが好ましい。また、前記マスクパターン上に、SiON、酸化膜及びこれらの複合膜のうちいずれかを用いて150~1500Åの膜厚にて形成される反射防止膜をさらに形成しても良い。前記窪み防止膜は、前記ライナ層と食刻選択比を持つ膜質であって、化学気相蒸着法によりデポジットされた酸化膜、或いはシリコン膜をデポジットして熱酸化させた酸化膜、又は窒化膜と酸化膜とが少なくとも1回以上交互に形成された複合ライナ層を用いて構成することが好ましい。さらに、好適な形態によると、前記ライナ層は、窒化膜を用い、20~300Åの膜厚にて形成することが好ましい。また、前記ライナ層を形成した後に、ライナ層の膜厚を維持させるとともに、外部からの損傷を抑えるための高温酸化膜(HTO)を形成する工程をさらに施すことが好ましい。ここで、素子分離膜の膜質特性に応じて選択的に膜質を改善させるため、プラズマ処理工程をさらに施しても良い。好ましくは、素子分離用絶縁膜をデポジットした後に、前記素子分離用絶縁膜の膜質特性を強めるための熱処理工程をさらに実施すれば良い。また前記マスクパターンの除去は、リン酸(H_3PO_4)を用いた湿式エッチングにより行えば良い。前記窪み防止膜として、CVDによる酸化膜を用いる場合には、前記トレンチを形成した後に、トレンチの内部に熱酸化膜をさらに形成することができる。ここで、前記CVDによる酸化膜の膜厚は、10~300Åの範囲内にあることが好ましい。前記窪み防止膜として、シリコン膜を熱酸化させ

た酸化膜を用いる場合には、シリコン膜の膜厚が10～200 Åの範囲内にあることが好ましい。前記窪み防止膜として、窒化膜と酸化膜とが少なくとも1回以上交互に形成された複合ライナ層を用いる場合には、前記トレンチを形成した後に、トレンチの内部に熱酸化による内部酸化膜をさらに形成することができる。また、前記複合ライナ層において、1番目に形成される窒化膜は、該膜厚が10～50 Åの範囲内にあることが好ましい。

【0010】本発明の第1具体例による半導体素子のトレンチ素子分離方法は、半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、前記トレンチ食刻用マスクパターンを用いて、前記半導体基板にトレンチを形成する第2工程と、前記トレンチの内部に熱酸化膜を形成する第3工程と、少なくとも前記トレンチ食刻用マスクパターンの側壁に薄膜が形成されるように、前記半導体基板の全面に化学気相蒸着による窪み防止用酸化膜をデポジットする第4工程と、前記窪み防止用酸化膜の上にライナ用窒化膜をデポジットする第5工程と、前記トレンチを完全に埋め込むと同時に前記半導体基板の表面を覆う素子分離用絶縁膜をデポジットする第6工程と、前記トレンチ食刻用マスクパターンが露出するように、前記露出した素子分離用絶縁膜の一部を除去する第7工程と、前記トレンチ食刻用マスクパターンを除去する第8工程とを具備することを特徴とする。この第1具体例において、好適な形態によると、前記第4工程の窪み防止用酸化膜は、該膜厚が10～300 Åの範囲内にあることが好ましい。また、前記第5工程のライナ用窒化膜は、該膜厚が20～300 Åの範囲内にあることが好ましい。

【0011】本発明の第2具体例による半導体素子のトレンチ分離方法は、半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、前記トレンチ食刻用マスクパターンを用いて、半導体基板にトレンチを形成する第2工程と、前記トレンチが形成された半導体基板の全面にシリコン膜をデポジットする第3工程と、前記シリコン膜を熱酸化させて、前記トレンチ食刻用マスクパターンの表面及びトレンチの内部に窪み防止用酸化膜を形成する第4工程と、前記窪み防止用酸化膜の上にライナ用窒化膜を形成する第5工程と、前記トレンチを埋め込むと同時に半導体基板の全面を覆う素子分離用絶縁膜をデポジットする第6工程と、前記トレンチ食刻用マスクパターンが露出するように、前記露出した素子分離用絶縁膜の一部を除去する第7工程と、前記トレンチ食刻用マスクパターンを除去する第8工程とを具備することを特徴とする。この第2具体例において、好適な形態によると、前記第3工程のシリコン膜は、該膜厚が10～200 Åの範囲内にあることが好ましい。また、前記第4工程の熱酸化は、デポジットされたシリコンが残留することなく完全に酸化膜に変わるように行うことが好ましい。好ましくは、前記第5工程のライナ用窒化膜

は、該膜厚が20～300 Åの範囲内にあれば良い。

【0012】本発明の第3具体例による半導体素子のトレンチ分離方法は、半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、前記トレンチ食刻用マスクパターンを用いて、前記半導体基板にトレンチを形成する第2工程と、前記結果物上に熱酸化を用いてトレンチ内部酸化膜を形成する第3工程と、前記トレンチ内部酸化膜が形成された半導体基板上に、表面段差に沿ってライナ用窒化膜と窪み防止用酸化膜とが少なくとも1回以上交互に形成された構造の複合ライナ層を形成する第4工程と、前記複合ライナ層が形成された半導体基板の全面に、表面段差に沿ってライナ用最終窒化膜を形成する第5工程と、前記ライナ用最終窒化膜の上に、前記トレンチを埋め込むと同時に半導体基板の全面を覆う素子分離用絶縁膜を形成する第6工程と、前記トレンチ食刻用マスクパターンが露出するように、前記素子分離用絶縁膜の一部を除去する第7工程と、前記トレンチ食刻用マスクパターンを除去する第8工程とを具備することを特徴とする。この第3具体例の前記第4工程の複合ライナ層において、1番目に形成される窒化膜は、該膜厚が10～50 Åの範囲内にあることが好ましい。また、前記第5工程後に、複合ライナ層の窒化膜の膜厚を維持させるとともに、外部からの損傷を抑えるための高温酸化膜を形成する工程をさらに施すことが好ましい。

【0013】本発明の第4具体例による半導体素子のトレンチ分離方法は、半導体基板上にトレンチ食刻用マスクパターンを形成する第1工程と、前記トレンチ食刻用マスクパターンを用いて、前記半導体基板にトレンチを形成する第2工程と、前記結果物上に、熱酸化を用いてトレンチ内部酸化膜を形成する第3工程と、前記トレンチ内部酸化膜が形成された前記半導体基板上に、表面段差に沿って窪み防止用酸化膜とライナ用窒化膜とが少なくとも1回以上交互に形成された構造の複合ライナ層を形成する第4工程と、前記複合ライナ層の上に、前記トレンチを埋め込むと同時に半導体基板の全面を覆う素子分離用絶縁膜を形成する第5工程と、前記マスクパターンが露出するように、前記素子分離用絶縁膜の一部を除去する第6工程と、前記マスクパターンを除去する第7工程とを具備することを特徴とする。この第4具体例の前記第4工程の複合ライナ層において、1番目に形成される窒化膜は、該膜厚が10～50 Åの範囲内にあることが好ましい。また前記第4工程後に、複合ライナ層の窒化膜の膜厚を維持させると共に、外部からの損傷を抑えるための高温酸化膜を形成する工程をさらに施すことが好ましい。

【0014】本発明による半導体素子は、表面にトレンチを形成した半導体基板と、この半導体基板の表面段差に沿ってデポジットされた少なくとも1枚以上ずつの酸化膜及び窒化膜を含む窪み防止用複合ライナ層と、この複合ライナ層を覆うとともにトレンチの内部を埋め込む

トレンチ素子分離用絶縁膜とを具備することを特徴とする。この半導体素子において、好適な形態によると、前記複合ライナ層と前記素子分離用絶縁膜との間に、前記複合ライナ用窒化膜の損傷防止及び膜厚の保存のための酸化膜をさらに具備することが好ましい。この酸化膜としては高温酸化膜を用いることができる。また、前記トレンチの内壁に沿って形成されたトレンチ内部酸化膜をさらに具備することが好ましい。この内部酸化膜は、熱酸化膜であることが好ましい。好ましくは、前記複合ライナ層は、第1窒化膜、第1酸化膜及び第2窒化膜が順次積層された複合膜であれば良い。また、前記第1窒化膜は、該膜厚が10～50Åの範囲内にあることが好ましい。またこの複合ライナ層は、前記第2窒化膜の上に少なくとも1枚以上の別の酸化膜及び窒化膜をさらに具備しても良い。また、好適な形態によると、前記複合ライナ層は、第1酸化膜と第1窒化膜とが順次積層された構造の複合膜を用いて構成することができる。この場合、前記第1窒化膜の上に、少なくとも1枚以上の別の酸化膜及び窒化膜をさらに形成することができる。好ましくは、前記ライナ用第1窒化膜は、該膜厚が10～50Åの範囲内であれば良い。

【0015】本発明によると、半導体素子のトレンチ素子分離工程において、窒化膜よりなるライナ層のエッチングを抑える窪み防止膜をさらに形成することにより窪み発生を防止することができる。その結果、DRAMなどのメモリ素子におけるリフレッシュ特性の低下やゲートブリッジなどの欠陥を抑えることが可能になる。加えて、トランジスタの電気的特性を改善することができる。

【0016】

【発明の実施の形態】以下、添付された図面にに基づき、本発明の好適な実施の形態について詳細に説明する。

実験例：酸化膜よりなる窪み防止膜を形成した後のライナ用窒化膜のエッチング比

図5は、本発明の実験例を説明するために示した透過電子顕微鏡(Transmission Electron Microscope、以下、TEM)写真である。図5を参照すると、パッド酸化膜が形成された半導体基板1上に、窒化膜よりなるマスクパターン2を形成し、これを用いて半導体基板をエッチングすることによりトレンチを形成する。その後、熱酸化を施し、トレンチ内部酸化膜3を110Åの膜厚にて形成する。次いで、ライナ用第1窒化膜(3と4との間の黒色層)を55Åの膜厚にて形成する。続けて、CVD酸化膜、例えば高温酸化膜よりなる膜厚500Åの第1酸化膜4、膜厚55Åのライナ用第2窒化膜(4と5との間の黒色層)、HTOよりなる膜厚500Åの第2酸化膜5、膜厚100Åのライナ用第3窒化膜(5と6との間の黒色層)、HTOよりなる膜厚500Åの第3酸化膜6、及び膜厚200Åのライナ用第4窒化膜(6と7との間の

黒色層)を順次積層させる。次いで、USG(Undoped Silicate Glass)7を1000Åの膜厚にてデポジットした後、ライナ用第5窒化膜(7と8との間の黒色層)を再度55Åの膜厚にてデポジットする。その後、トレンチを埋め込む素子分離用絶縁膜として用いられるUSG膜及びPE-TEOS膜をデポジットした素子分離膜8を積層させる。続けて、マスクパターン2を研磨阻止層として用いて化学機械的研磨(CMP)を施し、半導体基板の全面を平坦化させる。次に、リン酸溶液を用いた湿式エッチングを施し、半導体基板の表面に露出した窒化膜の一部を除去する。図5は、上記過程を終えた後のTEM写真である。

【0017】このとき、CMP後、窒化膜よりなるマスクパターン2の膜厚は2000Åである。そしてリン酸溶液を用いた湿式エッチングは、マスクパターン2が1700Å程度にエッチングされるように施した。その後、一定膜厚の酸化膜4、5、6、7の間に形成されるとともに膜厚が個々である第2、第3及び第4窒化膜に対してエッチングが進んだ度合いを観察した。膜厚が55Åにて形成されたライナ用第2窒化膜(4と5との間の黒色膜)の場合には、マスクパターン2が1700Å程度にエッチングされるうちに500Å(図中A部分)がエッチングされ、膜厚が100Åにて形成されたライナ用第3窒化膜の場合には、1200Å(図中B部分)がエッチングされ、最後に膜厚が200Åにて形成されたライナ用第4窒化膜の場合には、マスクパターン2のエッチング度合いに類似の1600Å(図中C部分)がエッチングされた。すなわち、以上のことから、ライナ用窒化膜の膜厚を約300Å以下に形成し、これを酸化膜の間に介挿する場合には、エッチングに際し、マスクパターン2よりエッチング率が落ちることが解る。これは、リン酸溶液に露出するライナ用窒化膜の表面積が狭いため、ライナ用窒化膜の膜厚を厚く形成するときより薄く形成する場合の方が、等方性エッチングに際しエッチング率が低下することと考えられる。前記実験から得られた結論は、トレンチ内部酸化膜3を形成し、さらに少なくともマスクパターン2の側壁に薄膜が形成されるように酸化膜を形成した後に、約300Å以下の薄膜膜厚にて窒化膜を形成すると、後続するマスクパターン2を除去するとき、ライナ用窒化膜が合わせてエッチングされるような窪み現象が抑えられるということである。その際、ライナ用窒化膜は、1枚を用いても良く、あるいは複数枚を用いても良い。これは、図5のTEM写真から判断することができる。

【0018】第1実施形態：窪み防止膜としてCVDによる酸化膜を用いる場合

図6ないし図10は、本発明の第1実施形態による窪み防止膜を用いたトレンチ素子分離方法を説明するための断面図である。図6を参照すると、100～500Å膜厚のパッド酸化膜102が形成された半導体基板100

に素子分離領域を限定するための写真食刻工程のマスクパターン104として用いられる窒化膜(SiN)を低圧化学気相蒸着(LPCVD)方法により約500~3000Åの膜厚にてデポジットする。ここで、パッド酸化膜は、900℃の温度条件下で熱酸化により形成可能である。またこのパッド酸化膜の形成工程は省略しても構わない。さらに、前記マスクパターンとして用いられる物質層の上に、HTOなどの酸化膜、SiON及びこれらの複合膜の内いずれかから形成された反射防止膜(ARC)を150~1500Åの膜厚にてデポジットし、これを用いて、さらに高集積化した半導体素子に用いられる微細パターンを形成しても構わない。

【0019】図7を参照すると、前記マスクパターンとして用いられる物質層を写真食刻工程でパターンニングし、それにより得られたマスクパターン104をマスクとして半導体基板100の一部をエッチングし、トレンチ106を形成する。この後、酸化工程、例えば熱酸化を施し、トレンチ106の内壁にトレンチ内部酸化膜108を形成する。ここでも、トレンチ内部酸化膜の形成工程は省略しても構わない。

【0020】なお、前記トレンチ106をエッチングする方法は、写真工程で最上層に構成されたフォトレジストパターン(図示せず)をエッチングマスクとして用いて、半導体基板100を含む下地膜をエッチングすることによりトレンチ106を形成しても良い。あるいは、フォトレジストパターンを用いてパッド酸化膜102までを一応エッチングし、エッチング工程によりフォトレジストパターンを除去した後、さらに形成された反射防止膜(ARC、図示せず)を食刻マスクとして用いて下地膜をエッチングすることによりトレンチ106を形成しても良い。さらに、上部に反射防止膜を形成しない場合には、マスクパターン104をエッチングマスクとして用いて下地膜をエッチングすることによりトレンチ106を形成しても良い。すなわち、トレンチをエッチングする方法は、種々の変形が可能である。

【0021】図8を参照すると、前記トレンチ内部酸化膜108が形成された結果物に後続工程で形成されるライナ層である窒化膜と食刻選択比を持つ膜質のCVD酸化膜よりなる窪み防止膜110を10~300Åの膜厚にてデポジットする。次いで、熱的ストレスを抑えるためのライナ層112を窒化膜(SiN)を用いて、20~300Åの膜厚にて形成する。このライナ層112は、低圧化学気相蒸着(LPCVD)方法によりデポジットすることができる。その後、700℃から900℃の高温で形成された高温酸化膜(HTO、図示せず)を約100Åの膜厚にてデポジットし、さらにこの高温酸化膜(HTO)に対してアンモニアプラズマ処理を施すことにより、後続工程で前記ライナ層112の膜厚が薄くなったり、損傷されることを防止する。このとき、高温酸化膜に代えてHDP酸化膜をデポジットする時に

は、プラズマ処理を省略しても良い。

【0022】ここで、高温酸化膜(HTO)の形成工程及びこの高温酸化膜に対するプラズマ処理は省略しても良い。前記高温酸化膜が形成された結果物に、半導体基板の表面を十分覆える程度の膜厚を持つ素子分離用絶縁膜114をデポジットする。この素子分離用絶縁膜114は、USG、TEOS、HDP酸化膜、モノシラン(SiH₄)基のCVD酸化膜及びこれらの複合膜から形成することができる。この素子分離用絶縁膜114をデポジットした後に、膜質の稠密化のための熱処理工程を施す。この熱処理工程は、800℃ないし1150℃の温度条件下で施すことが好ましい。この熱処理工程により、フッ酸(HF)やリン酸(H₃PO₄)基のエッチング溶液に対する全体の膜のエッチング率が低下する。その後、前記マスクパターン104が露出するように化学機械的研磨(CMP)工程を施し、前記素子分離用絶縁膜114、ライナ層112及び窪み防止膜110の一部を除去する。

【0023】このとき、窪み防止膜110は、少なくともマスクパターン104の側壁に形成されるように残存することが重要である。これは、後続するマスクパターン104を除去するための湿式エッチング工程で、窒化膜よりなるライナ層112がエッチング液であるリン酸溶液に露出する面積を狭くする役割をするからである。既存の技術のように、トレンチ内壁に酸化膜を熱酸化で形成する工程では、トレンチ内壁には酸化膜が形成されるが、マスクパターン104の窒化膜の側壁には酸化膜が形成されなかった。これにより、後続するマスクパターン104を除去するための湿式エッチング工程でライナ層112がリン酸溶液に露出する表面積が広がり、オーバーエッチングを施すとき、ライナ層112の窒化膜もその一部が半導体基板の下方に向けてエッチングされ、その結果、窪みが発生した。ところが、本発明のように、マスクパターン104の側壁にCVDによる酸化膜よりなる窪み防止膜を形成することにより、これを抑えることができる。

【0024】図9を参照すると、前記CMPが施された半導体基板に、窒化膜よりなるマスクパターン104を除去するための湿式エッチングを施す。この湿式エッチングは、リン酸溶液を用いて行うことができる。通常は、パッド酸化膜102上に窒化膜が残留することを防止すべくオーバーエッチングを行う。エッチングは、湿式エッチングにより施す等方性エッチングを中心に説明したが、これに制限されるものではなく、乾式エッチングにより施す異方性エッチングであっても良い。このとき、半導体基板100の下方に向けてライナ層112がエッチングされる窪み現象は防止されるが(図中B部分)、これは、窒化膜よりなるライナ層112が、CVD酸化膜よりなる窪み防止膜110と高温酸化膜(HTO)或いは素子分離用絶縁膜114の間に介挿されるこ

とにより、リン酸溶液に対して露出する表面積が狭まり、その結果、エッチング率が低下するからである。これについては、前記図5の実験例を通じて既に触れている。

【0025】図10を参照すると、前記マスクパターン104が除去された結果物に、酸化膜に対してはエッチング率が高く、半導体基板100を構成するシリコン層及び窒化膜に対してはエッチング率が低いエッチング液を用いて湿式エッチングを施して半導体基板100の表面をエッチバックすることにより、本発明の第1実施形態によるトレンチ素子分離工程を完了する。前記湿式エッチング工程で、半導体基板100上に残留するパッド酸化膜102、窪み防止膜110及び素子分離用絶縁膜114の一部は完全に除去されて平坦化する。さらに、最終的なトレンチ素子分離工程が完了した後にも、素子分離用絶縁膜114と活性領域との境界面にて発生していた窪みの発生を防止することができる(図10のC)。

【0026】第2実施形態：窪み防止膜としてシリコン膜をデポジット且つ酸化させた酸化膜を用いる場合

以下で述べる実施形態においては、前記第1実施形態と同一の部分については重複する説明を省略し、理解を容易ならしめるため、参照符号を前記第1実施形態と互いに対応するように付してある。図11ないし図17は、本発明の第2実施形態による窪み防止膜を用いたトレンチ素子分離方法を説明するために示した断面図である。図11を参照すると、パッド酸化膜202が形成された半導体基板200上に、マスクパターン204を窒化膜にて形成し、そのマスクパターン204を用いて半導体基板200の一部をエッチングすることによりトレンチ206を形成する。このときにも、第1実施形態と同様に反射防止膜を用いることができ、トレンチのエッチング方法を変形させることもできる。次いで、前記結果物にライナ層を構成する窒化膜と食刻選択比を持つ酸化膜を形成するために、シリコン膜208を10~200Åの膜厚にてデポジットする。ここで、シリコン膜としては、非晶質シリコン膜を用いても良いが、ここではポリシリコンを用いている。ポリシリコンをシリコン膜208としてデポジットする工程条件は、LPCVD装置を用い、チャンバ温度を500~700℃、チャンバ圧力を13.3~79.8Pa(略0.1~0.6 Torr)とし、モノシラン(SiH_4)ガスを500cc/min量だけ供給しながら形成することができる。ポリシリコンを用いたさらに他のシリコン膜形成方法は、LPCVD装置を用い、チャンバ温度を400~700℃、チャンバ圧力を13.3~79.8Pa(略0.1~0.6 Torr)とし、 Si_2H_6 ガスを50SCCMの量だけ供給しながら形成することができる。

【0027】図12を参照すると、前記シリコン膜208が蒸着された結果物に酸化工程、例えば熱酸化工程を

施して前記シリコン膜208を、熱酸化による酸化膜の窪み防止膜210に変える。ここで、ポリシリコンよりなるシリコン膜208が完全に酸化せずに残留する場合、トランジスタの電気的特性に致命的な欠陥をもたらすことがある。これを防止すべく、デポジットされたシリコン膜208が完全に酸化されるように、熱酸化時間を調節することが好ましい。前記熱酸化の工程条件は、大気圧状態のチャンバの温度を800~1000℃に調節し、酸素ガス(O_2)を5~15l/min、塩化水素(HCl)ガスを0.05~0.2l/minの量だけ供給しながら酸化を行うことが好ましい。

【0028】既存技術では、シリコン膜208を形成せず、トレンチの内壁にのみ熱酸化膜を形成したため、窒化膜よりなるマスクパターン204の側壁には窪み防止膜210、すなわち、酸化膜が形成されなかった。しかし、本実施形態のように、ポリシリコン膜を先にデポジットし、その後熱酸化を行う場合には、窒化膜よりなるマスクパターン204の側壁にも第1実施形態のように窪み防止膜210の役割をする熱酸化膜が形成される。したがって、後続するリン酸溶液を用いた湿式エッチング工程において、ライナ用窒化膜がリン酸溶液に露出する表面積を最小化し、ライナ層(図16の212)のエッチング率を低下させることができる。

【0029】図13を参照すると、前記熱酸化工程により窪み防止膜210が形成された結果物に、低圧化学気相蒸着(LPCVD)方法により20~300Åの膜厚にて窒化膜(SiN)を材質とするライナ層212をデポジットする。

【0030】図14を参照すると、前記結果物に、酸化膜、例えば高温酸化膜(HTO)(図示せず)を約100Åの膜厚にて積層させ、アンモニアプラズマ処理を施して、ライナ層212が後続工程で薄くなったり、損傷されることを防止する。次いで、前記結果物に半導体基板の表面を十分覆えるように素子分離用絶縁膜214をデポジットし、膜質の稠密化を図るための熱処理工程を施す。

【0031】図15を参照すると、前記マスクパターン204を研磨阻止層として用い、CMP工程を施すことにより、前記素子分離用絶縁膜214、ライナ層212及び窪み防止膜210の一部を除去し、平坦化させる。

【0032】図16を参照すると、前記平坦化を終えた半導体基板に、マスクパターン204を除去するための湿式エッチングを施す。このとき、湿式エッチング液としては、リン酸溶液を用いることが好ましく、半導体基板の表面に窒化膜よりなるマスクパターンが残留することを抑えるため、オーバエッチングを十分施す。このオーバエッチングを施す過程で、窒化膜よりなるマスクパターン204は完全に除去されるが、窒化膜よりなるライナ層212は、エッチング率の違いのため(図5の実験例参照)、半導体基板200の下方に窪むようにエッ

チングされない（図面のB'部分）。

【0033】参考として示す下記表1は、リン酸及びLAL200を湿式エッチング液として用いたときの、窒化膜よりなるマスクパターン204及びライナ層21

2、熱酸化膜よりなる窪み防止膜210及びUSGより

	SiN (204)	ライナ層 (212)	窪み防止膜 (210)	USG (214)
リン酸	52.3	21.6	2	3
LAL200	3	≒0	218	330

ここで、LAL200は、前記半導体基板の表面上に残留する酸化膜である窪み防止膜210、素子分離用絶縁膜214及びパッド酸化膜202を湿式エッチングにより除去するのに用いられるエッチング液である。熱酸化膜を基準にして、LAL200のエッチング率は約200Åである。

【0034】図17は、前記半導体基板200の表面上に残留する酸化膜を湿式エッチングにより除去することにより、本発明の第2実施形態によるトレンチ素子分離工程を完了したときの断面図である。従来は、リン酸を用いた湿式エッチング工程で窪みが発生したが、本発明ではシリコンを熱酸化させて形成した窪み防止膜210が窒化膜よりなるライナ層212のエッチング率を落としていないため、窪みが発生（C'）しないことが解る。

【0035】第3実施形態：窪み防止膜として窒化膜と酸化膜とが1回以上交互に形成された複合膜を用いる場合

本実施形態は、ライナ用窒化膜が薄すぎた場合に、このライナ用窒化膜が後続する酸化工程で崩れ易い特性を補完し、一方、厚すぎた場合には、トレンチ素子分離工程を施した後に素子分離用絶縁膜と活性領域との境界面で窪みが発生する問題を補完するために案出されたものである。すなわち、薄いライナ用窒化膜の間に酸化膜を挟み込んで、窒化膜と酸化膜とが1回以上交互に形成された構造の窪み防止膜を構成したものである。従って、それぞれのライナ用窒化膜が後続する酸化工程で崩れ易いことを防止すると同時に、ライナ用窒化膜のエッチング率を落とし、これにより、マスクパターンとして用いられる窒化膜のエッチング時にライナ用窒化膜で窪みが発生することを抑えることができる。

【0036】図18ないし図21は、本発明の第3実施形態による窪み防止膜を用いたトレンチ素子分離方法及びこれを用いた半導体素子を説明するための断面図である。図18を参照すると、前記第1実施形態の方法と同様にして、半導体基板300にパッド酸化膜302、マスクパターン304及びトレンチ306を形成し、次いで、トレンチの内壁にトレンチ内部酸化膜308を約100Åの膜厚にて形成する。この工程でも、第1実施形態と同様に種々なる変形が可能である。

【0037】図19を参照すると、前記トレンチ内部酸

なる素子分離用絶縁膜214のエッチング率であり、単位はÅ/minである。このとき、ライナ層である窒化膜の膜厚は70Åであった。

【表1】

化膜308が形成された結果物に、ライナ用窒化膜と窪み防止用酸化膜とが少なくとも1回以上交互に積層された複合ライナ層318をLPCVD方法により形成する。このとき、1番目にデポジットされるライナ用第1窒化膜310の膜厚を10～50Åの膜厚にて形成することが、後続するマスクパターンを湿式エッチングにより除去するとき、図5で説明された窪みの発生を抑えるために必要である。この実施形態では、前記第1窒化膜310、第1酸化膜312、第2窒化膜314及び第2酸化膜316の膜厚をそれぞれ30Åの膜厚にて形成している。次いで、ライナ用最終窒化膜320を約30Åの膜厚にてデポジットし、さらにライナ用窒化膜310、314、320の膜厚の保存及び損傷抑制のための酸化膜322、例えば、高温酸化膜（HTO）を一定の膜厚にて形成し、プラズマ処理を施して高温酸化膜（HTO）の膜質を改善する。ここで、高温酸化膜の形成工程は省略しても良い。その後、素子分離用絶縁膜324を半導体基板の表面を十分覆えるようにデポジットする。次いで、前記素子分離用絶縁膜324の稠密化のための熱処理工程を施す。

【0038】ここで、この実施形態では、窒化膜と酸化膜とが順次に交互する膜構造を2回に亘って形成した複合ライナ層318を窪み防止膜として用いている。このように交互する回数は、それが多くなるほど窪み防止効果及びライナの機能が増加するが、コスト高となるため、効果的な段階で止めることが良い。

【0039】図20を参照すると、前記マスクパターン304を研磨阻止層として用いてCMPを施すことにより、素子分離用絶縁膜324、最終窒化膜320、高温酸化膜322及び複合ライナ層318の一部を除去し、半導体基板の表面を平坦化させる。

【0040】図21を参照すると、前記平坦化を終えた半導体基板に、リン酸を用いた湿式エッチングを施して窒化膜よりなるマスクパターン304を除去する。このとき、前記複合ライナ層318である第1窒化膜310、第2窒化膜314及び最終窒化膜320が窪み防止用第1酸化膜312、第2酸化膜316及び高温酸化膜322の間に挟まれ、これにより、前記図5で述べた薄いライナ層のエッチング率が低下する効果がある。従って、オーバエッチングを行った場合であっても、ライナ

用窒化膜310、314、320が半導体基板300の下方に向けてエッチングされるようなことはない。その後、半導体基板300の上に残留する窪み防止用第1酸化膜312、第2酸化膜316、高温酸化膜322及び素子分離用絶縁膜324を湿式エッチングにより除去して平坦化させることにより、本発明の第3実施形態によるトレンチ素子分離工程を完了する。

【0041】以下、図21に基づき、本発明による半導体素子の構造について説明する。本発明の第3実施形態による半導体素子は、半導体基板300と、この半導体基板に形成されたトレンチと、このトレンチの内壁に沿って一定の膜厚、例えば、100Åの膜厚にて形成されたトレンチ内部酸化膜308と、このトレンチ内部酸化膜308上にデポジットされ、少なくとも1枚以上ずつの酸化膜及び窒化膜を含む窪み防止用複合ライナ層318、320と、この複合ライナ層318、320上に形成される酸化膜322と、この酸化膜322を覆うとともに、トレンチの内部を埋め込む素子分離用絶縁膜324とからなる。

【0042】ここで、トレンチ内部酸化膜308は、熱酸化により生成された酸化膜である。また、複合ライナ層は第1窒化膜310、第1酸化膜312、第2窒化膜314を最小の構成とし、必要であれば、その上部に別の酸化膜及び窒化膜をさらに積層することができる。本実施形態では、好ましい例として、第2酸化膜316及び最終窒化膜320をさらに形成している。また、最終窒化膜320の上に形成される酸化膜322は高温酸化膜(HTO)であるが、これを形成せず本実施形態による半導体素子を構成しても良い。この半導体素子において、複合ライナ層318は、トレンチ素子分離工程で本発明の目的である窪みの発生を防止し、かつトレンチの内部で発生する熱的ストレスを抑える主な手段となる。

【0043】第4実施形態：窪み防止膜として酸化膜と窒化膜とが1回以上交互に形成された複合膜を用いる場合

本実施形態は、前記第3実施形態とほとんど類似している。違いは、複合ライナ層として酸化膜と窒化膜とが少なくとも1回以上順次形成された構造の複合膜を用いていることである。すなわち、第3実施形態と比較して、窒化膜と酸化膜との積層順序が逆であることが異なっている。図22ないし図24は、本発明の第4実施形態による窪み防止膜を用いたトレンチ素子分離方法及びこれを用いる半導体素子を説明するための断面図である。図22を参照すると、半導体基板400にパッド酸化膜402及びマスクパターン404を形成し、マスクパターン404を用いてトレンチ406を形成する。その後、トレンチの内壁にトレンチ内部酸化膜408を形成する。ここで、パッド酸化膜402及びトレンチ内部酸化膜408は、必要に応じて省略することができる。

【0044】図23を参照すると、前記トレンチ内部酸化膜408が形成された半導体基板400の段差に沿って、窪み防止用酸化膜とライナ用窒化膜とが少なくとも1回以上交互に積層された構造の複合ライナ層418をLPCVD方法により形成する。ここで、第1酸化膜410は、前記第2実施形態のように、化学気相蒸着方法でなく、シリコン膜を積層させた後、これを熱酸化させる方法により形成しても良い。このとき、1番目にデポジットされるライナ用第1窒化膜412の膜厚を10～50Åの膜厚にて形成することが、後続するマスクパターンを湿式エッチングにより除去するとき、図5で述べた窪みの発生を抑える上で必要である。本発明の好適な形態においては、第1窒化膜412の膜厚を10～50Åに限定しているが、ライナ層として用いられる第1窒化膜412の膜厚を10～300Åの膜厚に形成しても、窪みの発生が抑えられる効果がある。この実施形態では、前記交互する回数を2回に限定して、第1酸化膜410、第1窒化膜412、第2酸化膜414、第2窒化膜416をそれぞれ30Åの膜厚に形成している。しかし、必要があれば、それ以上に交互する構造の複合ライナ層418を形成しても良い。その後、酸化膜420、例えば高温酸化膜(HTO)を形成し、さらに素子分離用絶縁膜424を半導体基板の上部を十分覆える程度にデポジットして、膜質の稠密化のための熱処理工程を施す。

【0045】図24を参照すると、マスクパターン404を研磨阻止層として用いるCMP工程を施し、半導体基板の全面を平坦化させた後、リン酸を用いた湿式エッチングを実施することによりマスクパターン404を除去する。このとき、図5で説明したように、窒化膜412、416で発生する窪みを防止できる。次いで、半導体基板の表面上に残留する酸化膜を除去すると、複合ライナ層418により窪みが発生しないトレンチ素子分離膜424を形成することができる。

【0046】以下、図24に基づき、本発明による半導体素子の構造について説明する。本発明の第4実施形態による半導体素子は、半導体基板400と、この半導体基板に形成されたトレンチと、このトレンチ内部に沿って一定の膜厚、例えば、100Åの膜厚にて形成されたトレンチ内部酸化膜408と、このトレンチ内部酸化膜408上にデポジットされ、少なくとも1枚以上ずつの酸化膜及び窒化膜を含む窪み防止用複合ライナ層418と、この複合ライナ層418上に形成される酸化膜420と、この酸化膜420を覆うとともに、トレンチの内部を埋め込む素子分離用絶縁膜424とからなる。

【0047】ここで、トレンチ内部酸化膜408は、熱酸化により生成された酸化膜であり、これを形成しなくても良い。また、複合ライナ層418は、第1酸化膜410、第1窒化膜412が順次積層されたものを最小の構成要素とし、必要であれば、別の酸化膜と窒化膜とを

順次さらに積層しても良い。本実施形態においては、好適な例として、第2酸化膜414及び第2窒化膜416をさらに形成している。また1番目に形成される第1窒化膜の膜厚は10~50Åの範囲内であれば良く、これにより、前記図5で述べた窪み防止の効果が奏でられる。この半導体素子の複合ライナ層418において、酸化膜と窒化膜とが1回のみ交互する場合には、前記第1及び第2実施形態で述べた構造となり、酸化膜と窒化膜とが2回交互する場合には、第4実施形態の複合ライナ層418となる。また、窪み防止用複合ライナ層418の上に形成される酸化膜420は高温酸化膜(HTO)であるが、これは形成しなくても良い。

【0048】本発明によると、酸化工程で発生するストレスを抑えるためのライナ層を用い、さらに窪み防止膜を形成することにより、トレンチ素子分離工程におけるライナ層で窪みが発生することを抑えることができる。さらに、窪みの発生を抑えることにより、インバース・ナロー・ウィドス・エフェクト及びハンプの発生が抑えられ、トランジスタの絶縁破壊特性などの電気的特性の向上を図ることができる。以下、添付された図25ないし図29に基づき、本発明によりトレンチ素子分離工程を施したとき、半導体素子の電気的特性に対する改善度をさらに詳細に説明する。

【0049】図25は、本発明による半導体素子におけるインバース・ナロー・ウィドス・エフェクトの改善度を説明するために示すグラフである。図25によると、トランジスタの特性を評価する方法において、短チャンネル効果及びインバース・ナロー・ウィドス・エフェクトを大いに参照している。短チャンネル効果とは、ゲート幅が一定したトランジスタにおいて、ゲート長の短縮に応じてスレッシュホールド電圧が変化することを確認することであり、インバース・ナロー・ウィドス・エフェクトは、ゲート長が一定したトランジスタにおいて、ゲート幅の狭まりに応じたスレッシュホールド電圧の変化を確認することである。このうち、インバース・ナロー・ウィドス・エフェクトは、活性領域と素子分離膜との境界面のプロファイルと密接な関係がある。例えば、ロコス系の素子分離膜は、ゲート幅が狭いトランジスタにおいてスレッシュホールド電圧 V_{th} が増加する。また、トレンチ素子分離膜は、ゲート幅が狭まるとスレッシュホールド電圧 V_{th} が低下する。すなわち、ロコス素子分離膜の場合には、バースピークにより活性領域縁部のゲート酸化膜が厚くなり、スレッシュホールド電圧 V_{th} が増大する。一方、トレンチ素子分離膜の場合には、素子分離膜の縁部がリセスされ、その結果、この部分で電界が大いにかかることになる。このため、トレンチ素子分離膜の場合には、ゲート幅が狭まるとスレッシュホールド電圧が低下する。一般に、トランジスタでは、短チャンネル効果やインバース・ナロー・ウィドス・エフェクトがないことが最も理想的なケースである。しかし、トレンチ素子分離

膜を採択した場合には、窪みやグループが激しいほど、インバース・ナロー・ウィドス・エフェクトが大になり、スレッシュホールド電圧が低下する。

【0050】グラフにおいて、横軸はゲート幅(μm)を、縦軸はスレッシュホールド電圧(V)をそれぞれ表す。また、試料でゲート長は10μmと一定にした。グラフにおいて、□により繋がる線は従来の技術のように、窪み防止膜を用いず、トレンチ内部酸化膜を形成した後に、窒化膜よりなるライナ層を直後に形成した場合の特性曲線であり、○により繋がる線は、本発明の第1実施形態のように、窒化膜よりなるライナ層をデポジットする前に、CVDによる酸化膜、例えば高温酸化膜(HTO)を100Åの膜厚にてデポジットし、トレンチ素子分離工程を施した場合の特性曲線である。このグラフから、本発明によれば、インバース・ナロー・ウィドス・エフェクトが改善されたことが確認できる。また、活性領域と素子分離膜との境界面で窪みやグループなどの構造的な欠陥が抑えられることにより、プロファイルが改善されたことも確認できる。

【0051】図26は、従来の技術のように、窪み防止膜を形成せずに、窒化膜よりなるライナ層をデポジットしたときのゲート電圧(V_g)とドレインオフ電流(I_d)との関係を示すグラフであり、図27は、本発明の第1実施形態のように、CVDによる酸化膜を100Åの膜厚にて積層し、窪み防止膜として用いたときのゲート電圧(V_g)とドレインオフ電流(I_d)との関係を示すグラフである。図26及び図27を参照すると、グラフ中、トランジスタのゲート幅は10μmであり、ゲート長は1μmである。そして、5本の特性曲線は、最左側からバックバイアスがそれぞれ0、-1、-2、-3、-4Vに印加された時の特性曲線である。従来の技術によると、バックバイアスが大きいほど、ハンプ現象(A)が激しくなることが確認されたが、本発明の第1実施形態のように、CVD酸化膜、例えば高温酸化膜(HTO)を100Åの膜厚にてデポジットし、窒化膜よりなるライナ層を形成した場合には、ハンプが発生せず改善されたこと(B)を確認できた。

【0052】図28及び図29は、従来の技術及び本発明の第1実施形態において、絶縁破壊特性及び接合漏れ電流の改善度を説明するためのグラフである。図28及び図29を参照すると、図28における横軸は、どの程度の電荷が流れたとき、絶縁破壊が発生するかどうかを表し、その単位は C/cm^2 である。また図29における横軸は、接合漏れ電流を表し、その単位はAである。そして縦軸は、いずれも試料に対する分布度を表し、その単位は%である。グラフ中、□により繋がる線は、従来の技術のように、窪み防止膜を形成せず、トレンチ素子分離膜を形成した場合の特性曲線であり、○により繋がる線は、トレンチの内壁にトレンチ内部酸化膜を形成し、CVD酸化膜である高温酸化膜(HTO)よりなる

窪み防止膜を形成した後に、トレンチ素子分離膜を形成した場合の特性曲線であり、△により繋がる線は、トレンチ内部酸化膜を形成せずに、CVD酸化膜である高温酸化膜(HTO)よりなる窪み防止膜を形成し、トレンチ素子分離膜を形成した場合の特性曲線である。グラフから明らかなように、本発明のように、窪み防止膜を形成した場合が、絶縁破壊特性に優れ、しかも接合漏れ電流特性が悪化しない。その他、今までは、トレンチ内部酸化膜を形成しないと、ゲート酸化膜の絶縁破壊特性及び接合漏れ電流特性が低下すると知られていた。これは、素子分離用絶縁膜を構成するUSG又はHDP酸化膜が半導体基板のシリコンと直接的に触れることに起因する。しかし、本発明のように、酸化膜よりなる窪み防止膜及びライナ用窒化膜を単一膜又は複合膜から形成する場合は、トレンチ内壁に対する側壁酸化を実施しなくても、ゲート酸化膜に対する絶縁破壊特性及び接合漏れ電流特性で劣化がないことが解る。

【0053】以上好適な実施の形態により本発明を詳述した。しかし、本発明は、その精神及び必須の特徴を離脱しない範囲内であれば、他の方法により実施可能である。例えば、前記好適な実施形態においては、マスクパターンとして用いられた窒化膜を除去する方法がリン酸を用いた湿式エッチングであったが、エッチングガスを用いた乾式エッチングであっても構わない。よって、前記好適な実施形態における記載内容は例示的なものに過ぎず、本発明を制限するものではない。本発明は上記した実施形態に制限されるものではなく、本発明の属する技術的思想内において当分野における通常の知識を有した者なら、これより様々な変形が可能なことは言うまでもない。

【0054】

【発明の効果】以上詳細に説明したように本発明によれば、半導体素子のトレンチ素子分離工程において、窒化膜よりなるライナ層のエッチングを抑える窪み防止膜をさらに形成することにより窪み発生を防止することができる。その結果、DRAMなどのメモリ素子におけるリフレッシュ特性の低下やゲートブリッジなどの欠陥を抑えることが可能になる。加えて、トランジスタの電気的特性を改善させることができる。

【図面の簡単な説明】

【図1】トレンチ素子分離工程でピットが生じた時及びライナ層を用いてピットを防止した時の半導体素子の電気的特性の変化を説明するための特性図。

【図2】従来の技術によるライナ層を用いるトレンチ素子分離工程を説明するための断面図。

【図3】従来の技術によるライナ層を用いるトレンチ素子分離工程を説明するための断面図。

【図4】従来の技術によるライナ層を用いるトレンチ素子分離工程を説明するための断面図。

【図5】本発明の実験例を説明するためのTEM写真に

よる図。

【図6】本発明の第1実施形態を説明するための断面図。

【図7】本発明の第1実施形態を説明するための断面図。

【図8】本発明の第1実施形態を説明するための断面図。

【図9】本発明の第1実施形態を説明するための断面図。

10 【図10】本発明の第1実施形態を説明するための断面図。

【図11】本発明の第2実施形態を説明するための断面図。

【図12】本発明の第2実施形態を説明するための断面図。

【図13】本発明の第2実施形態を説明するための断面図。

【図14】本発明の第2実施形態を説明するための断面図。

20 【図15】本発明の第2実施形態を説明するための断面図。

【図16】本発明の第2実施形態を説明するための断面図。

【図17】本発明の第2実施形態を説明するための断面図。

【図18】本発明の第3実施形態を説明するための断面図。

【図19】本発明の第3実施形態を説明するための断面図。

30 【図20】本発明の第3実施形態を説明するための断面図。

【図21】本発明の第3実施形態を説明するための断面図。

【図22】本発明の第4実施形態を説明するための断面図。

【図23】本発明の第4実施形態を説明するための断面図。

【図24】本発明の第4実施形態を説明するための断面図。

40 【図25】本発明により半導体素子を製造したとき、半導体素子の電気的な特性に対する改善度を説明するための特性図。

【図26】本発明により半導体素子を製造したとき、半導体素子の電気的な特性に対する改善度を説明するために示した従来技術の特性図。

【図27】本発明により半導体素子を製造したとき、半導体素子の電気的な特性に対する改善度を説明するための特性図。

【図28】本発明により半導体素子を製造したとき、半導体素子の電気的な特性に対する改善度を説明するため

の特性図。

【図 29】本発明により半導体素子を製造したとき、半導体素子の電気的な特性に対する改善度を説明するための特性図。

【符号の説明】

100 半導体基板

102 パッド酸化膜

104 マスクパターン

106 トレンチ

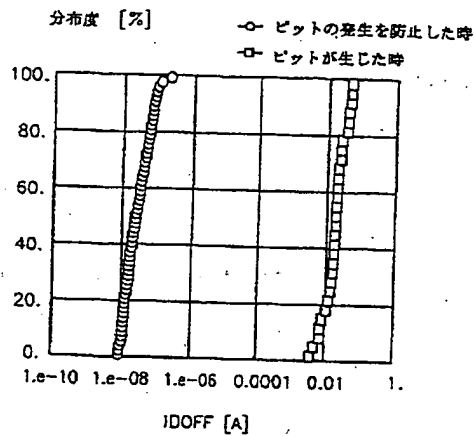
108 トレンチ内部酸化膜

110 窪み防止膜

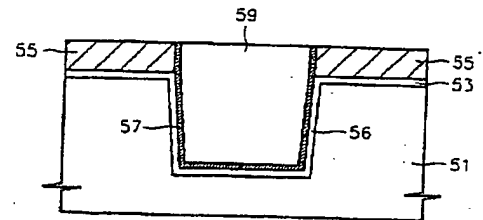
112 ライナ層

114 素子分離用絶縁膜

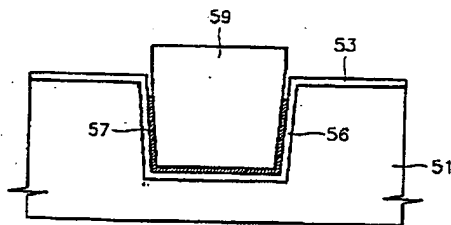
【図 1】



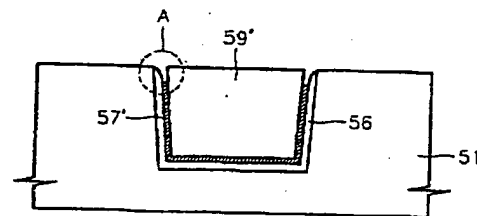
【図 2】



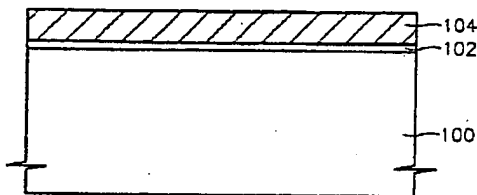
【図 3】



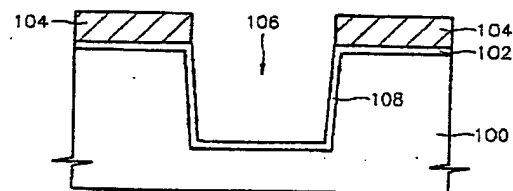
【図 4】



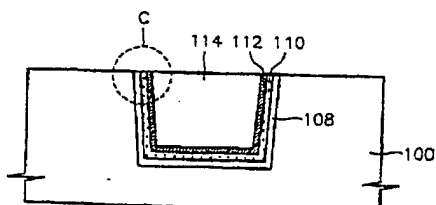
【図 6】



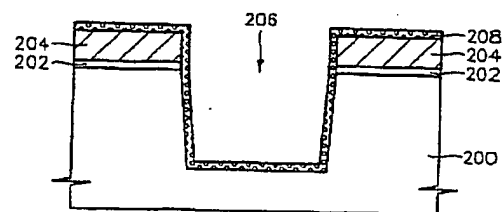
【図 7】



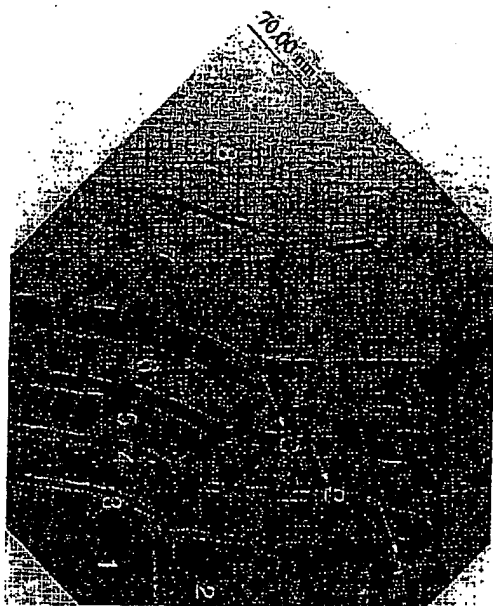
【図 10】



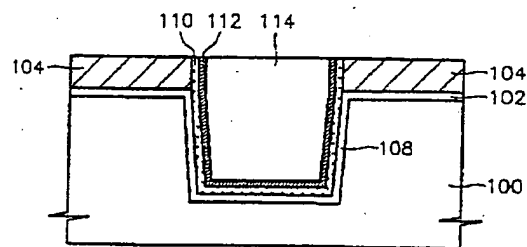
【図 11】



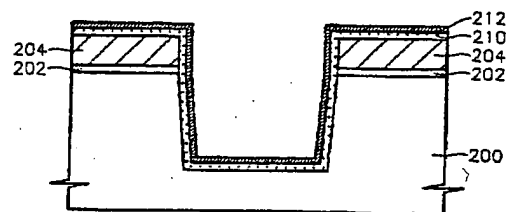
【図 5】



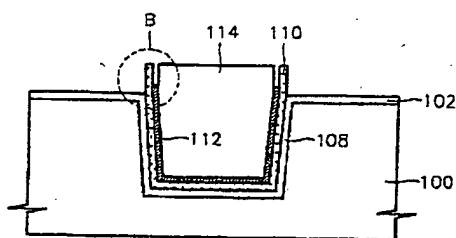
【図 8】



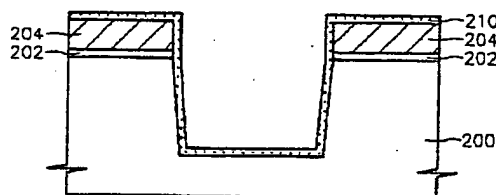
【図 13】



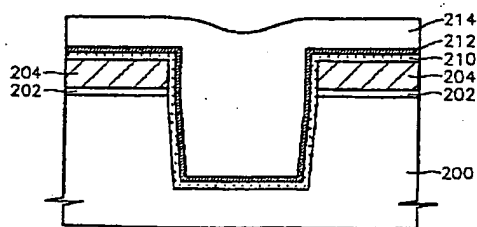
【図 9】



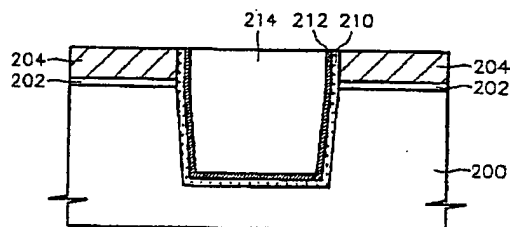
【図 12】



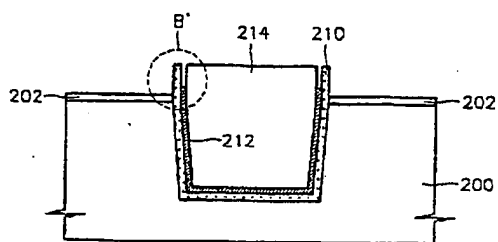
【図 14】



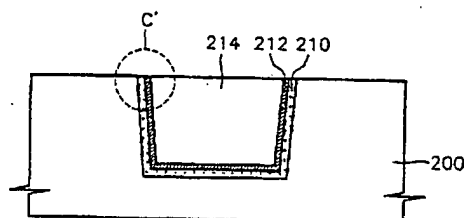
【図 15】



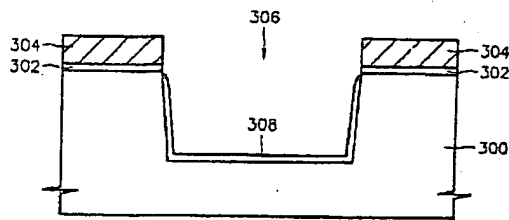
【図 16】



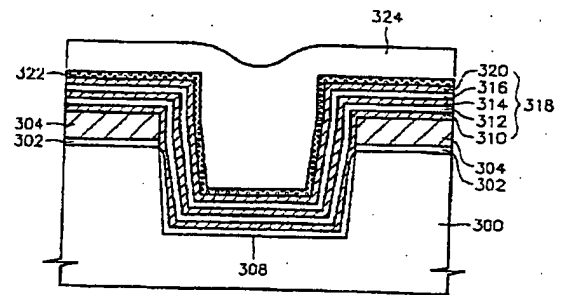
【図 17】



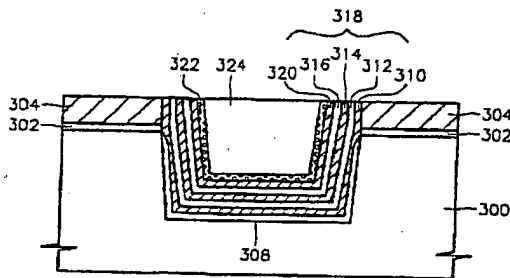
【図18】



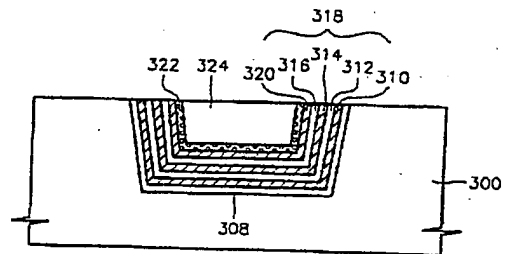
【図19】



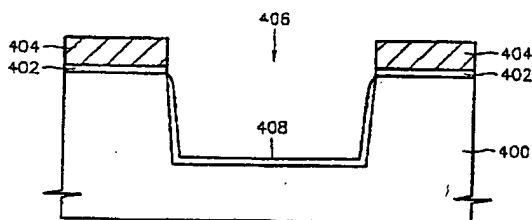
【図20】



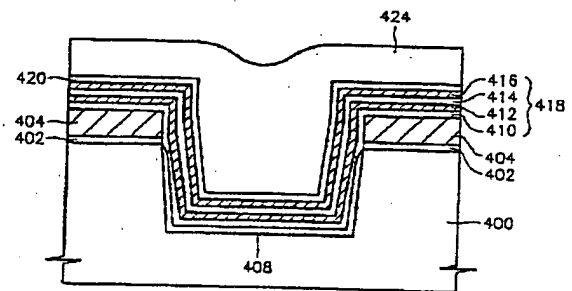
【図21】



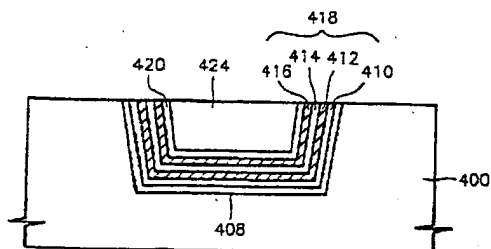
【図22】



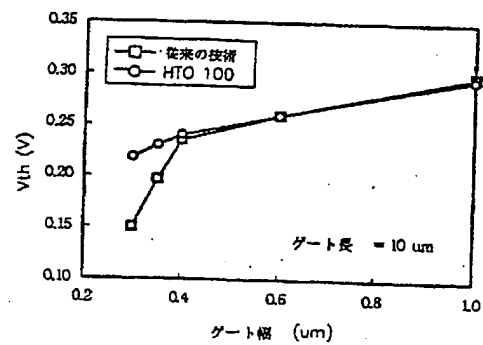
【図23】



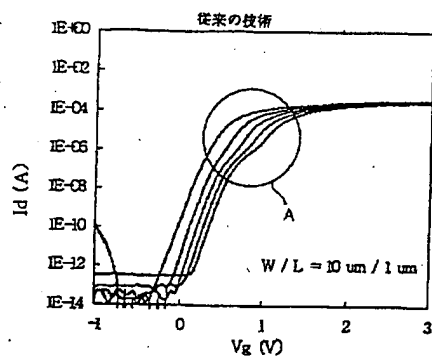
【図24】



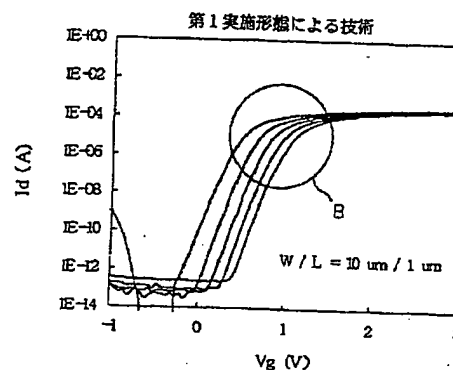
【図25】



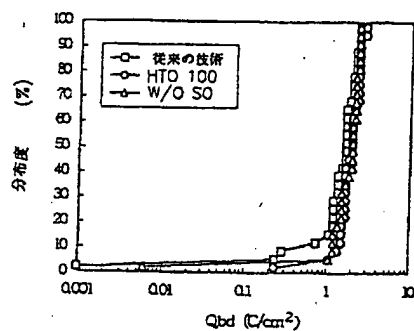
【図26】



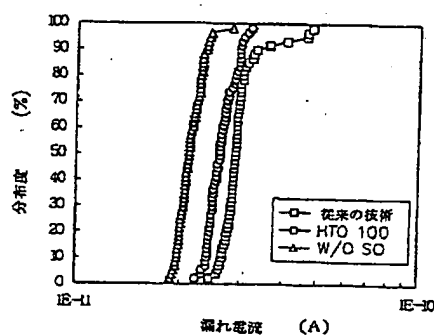
【図27】



【図28】



【図29】



フロントページの続き

(72)発明者 黄 寅 ▲シアク▼

大韓民国京畿道水原市八達区靈通洞1053-
25番地 ▲ファン▼谷マウル碧山アパート
223棟901号

(72)発明者 高 ▲ヤン▼ ▲サン▼

大韓民国京畿道龍仁市器興邑農書里山24番
地

(72)発明者 安 東 浩

大韓民国京畿道水原市八達区望浦洞517-
9番地 三ービラー 5棟203号

(72)発明者 朴 文 漢

大韓民国京畿道龍仁市器興邑貢税里382-
1番地 青丘アパート105棟1603号

(72)発明者 朴 泰 緒

大韓民国京畿道水原市八達区靈通洞989-
2番地 現代アパート730棟1303号